



提供一站式 FPGA&嵌入式解决方案

泰坦 70H 开发板产品规格书

MES2T484-70HP

深圳市小眼睛科技有限公司

版权所有 侵权必究

文档版本修订记录

| 版本号 | 发布日期 | 修订记录 |
|------|----------|------|
| V1.1 | 2025/1/7 | 初始版本 |

公司名称: 深圳市小眼睛科技有限公司

地址: 深圳市宝安区西乡街道 F518 时尚创意园

官方网址: www.meyesemi.com

官方淘宝店铺: 小眼睛半导体

B 站: 小眼睛半导体 (视频教程免费学)

* 加入 FPGA 开发者技术交流与 5000+ FPGA 开发者实时沟通

QQ2 群: 442106123QQ3 群: 882634519)

* 配套资料下载、技术答疑请登录逻辑矩阵技术论坛



逻辑矩阵技术论坛欢迎各位发烧友加入
让我们共建开源生态, 持续赋能行业发展

<https://www.szlogicmatrix.com/>



* 扫码注册开源技术论坛



* 扫一扫关注官微



* 官方旗舰店

目录

目录

| | |
|---------------------|--------|
| 1. 开发系统介绍 | - 4 - |
| 1.1 开发系统概述 | - 4 - |
| 1.2 开发系统简介 | - 5 - |
| 2. 核心板 | - 8 - |
| 2.1 核心板概述 | - 8 - |
| 2.2 系统描述 | - 9 - |
| 2.2.1 FPGA | - 9 - |
| 2.2.2 电源接口 | - 10 - |
| 3. 扩展底板 | - 23 - |
| 3.1 扩展底板简介 | - 23 - |
| 3.2 外接接口通信 | 24 |
| 3.3 HDMI | 33 |
| 3.4 按键/指示灯 | 39 |
| 3.5 40PIN 扩展口 | 41 |
| 3.6 供电电源 | 43 |
| 3.7 底板尺寸 | 44 |

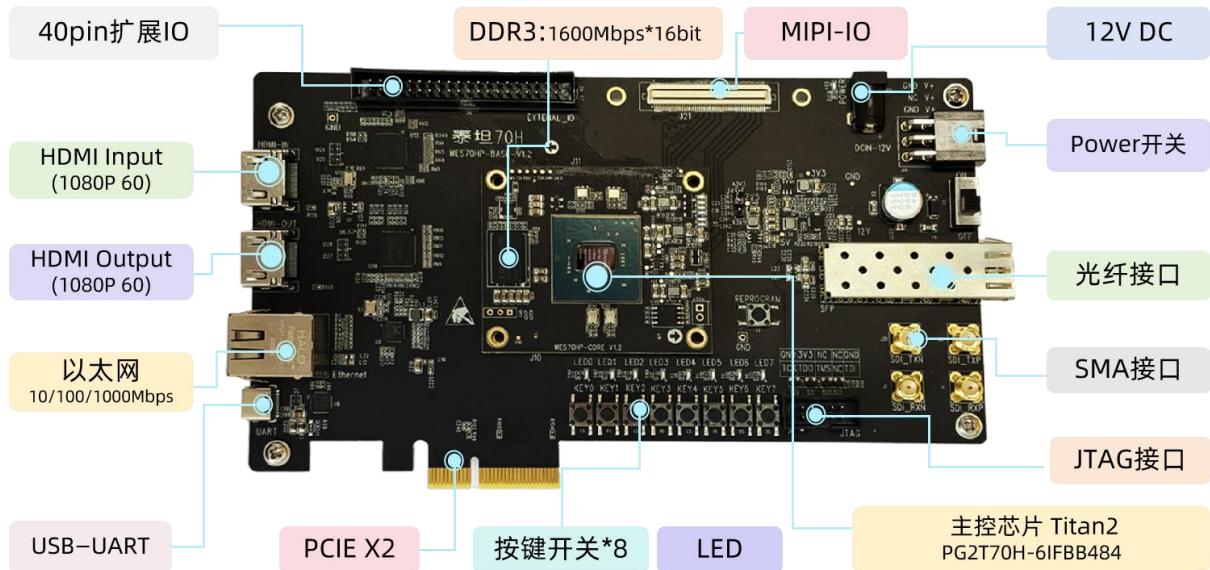
1. 开发系统介绍

1.1 开发系统概述

MES2T484-70HP 开发板采用紫光同创 Titan2 系列 FPGA , 型号: PG2T70H-6IFBB484, 核心板与扩展板之间使用高速板对板连接器进行连接, 核心板侧连接器型号: LB3524-G120P-WOR , 扩展底板侧连接器型号: LB3524-G120S-WOR。

核心板主要由 FPGA +1 颗 DDR3+2 颗 Flash+电源及复位构成, 承担了 FPGA 最小系统运行及高速数据处理及存储功能。FPGA 选用紫光同创 28nm 工艺 FPGA (PG2T70H-6IFBB484) , PG2T70H 与 DDR3 在数据交互时时钟频率最高可达 1600Mbps, DDR3 数据位宽为 16bit, 因此数据带宽可达 (1600Mbps*16), 满足高速多路数据存储的需求, 另外 PG2T70H 带有 4 路高速 HSST 高速收发器, 每路速度高达 12.5Gbps, 非常适用于光纤通信与 PCIe 通信; 核心板上采用的两颗 Flash, 主要用于存储 FPGA 配置文件。

扩展底板为核心板扩展了丰富的外围接口, 其中包括 HDMI 输入接口、HDMI 输出接口、以太网接口、光模块接口、SMA 接口、MIPI IO 扩展口、PCIe 接口、串口, 并配置了按键、LED 灯等器件, 预留了一组 40PIN 扩展口。



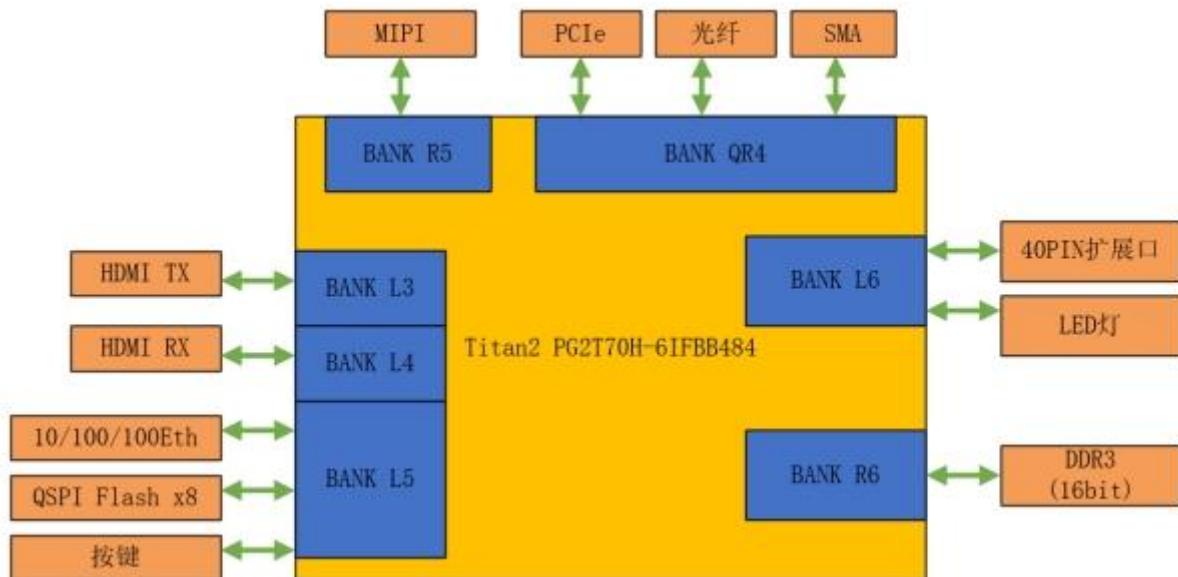
1.2 开发系统简介

1.2.1 开发系统外设资源

- ✓ HDMI 输入接口 *1
- ✓ 10/100/1000M 以太网接口 *1
- ✓ HDMI 输出接口 *1
- ✓ 串口 *1
- ✓ SMA 接口 *1
- ✓ 光模块接口 *1
- ✓ 按键 *1
- ✓ MIPI IO 扩展口 *1
- ✓ PCIe 接口 *1
- ✓ 40PIN 扩展口 *1

- ✓ LED 灯 *1
- ✓ JTAG 调试接口 *1

1.2.2 开发系统功能框图



MES2T484-70HP 开发系统功能框图

综上, MES2T484-70HP 开发平台所能实现的功能描述如下所示:

- Titan2 FPGA 核心板
 - 由 PG2T70H-6IFBB484 + 1 片 128MB + 2 片 128Mb QSPI Flash 组成。
- 10/100/1000M 以太网 RJ-45 接口 *1
 - 网口 PHY 芯片采用 RTL8211F, RTL8211F 支持 10/100M/1000Mbps 网络传输数据率;
 - 支持全双工工作模式及数据率自适应。
- PCIe x2 接口 *1
 - 支持 PCI Express 2.0 标准, 提供 PCIe x2 高速数据传输接口, 单通道通信速率可高

达 5GBaud。

➤ SFP 高速光纤接口 *1

PG2T70H-6IFBB484 的 HSST 收发器的 1 路高速收发器连接到 1 个光模块的发送和接收，实现 1 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 12.5Gb/s。

➤ SMA 接口 *1

PG2T70H-6IFBB484 的 HSST 收发器的 1 路高速收发器连接到 SMA 接口，速率高达 12.5Gb/s。

➤ MIPI 接口 *1

用于连接 MIPI 接口的摄像头与显示屏模块。

➤ HDMI 输出 *1

选用了国产宏晶微公司的 MS7210 HDMI 发送芯片，兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz, 最高采样率达到 300MHz; 支持 HBR 音频。

➤ HDMI 输入 *1

选用了国产宏晶微公司的 MS7200 HDMI 接收芯片，兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz, 最高采样率达到 300MHz; 支持 HBR 音频。

➤ USB 转串口 *1

用于与电脑进行串口通信，方便用户进行调试。串口芯片采用 Silicon Labs 的 USB-UART 芯片: CP2102，USB 接口采用 USB Type C 接口。

➤ JTAG 接口 *1

10 针 2.54mm 间距的双排排针口, 用于 FPGA 程序的下载和调试。

➤ LED 灯 *8

扩展底板集成 8 个用户发光二极管。

➤ 按键 *8

扩展底板集成 8 个用户按键。

➤ 40PIN 扩展口 *1

扩展底板预留了一个 40 针 2.54mm 间距的扩展口, 用于外接各种模块, 扩展口包含 5V 电源一路, 3.3V 电源 2 路, 地 3 路, 普通 IO 34 路, 其中 IO 电平为 3.3V。

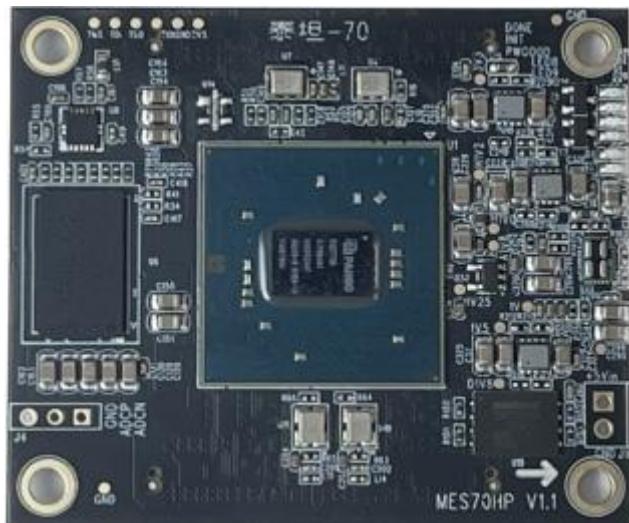
2. 核心板

2.1 核心板概述

MES2T484-70HP 核心板是“小眼睛科技”基于多年 FPGA 开发经验而开发的一款全新国产高性能核心板, 采用紫光同创 Titan2 系列 PG2T70H-6IFBB484 作为核心板主控芯片, 具有高数据带宽, 高存储容量的特点, 适用于视频图像处理, 高速数据采集, 工业控制等多元应用场景。

MES2T484-70HP 核心板集成了一颗总容量为 128MB 的 DDR3 芯片, 数据位宽 16bit, 最高速率支持 1600Mbps, 满足用户高带宽的需求。

MES2T484-70HP 核心板扩展出 4 对 HSST TX/RX 信号, 用于光纤通信、PCIe 通信、SMA 接口通信。在满足用户需求的同时, FPGA 芯片到接口之间的走线做了等长和差分处理, 非常适合二次开发。核心板尺寸: 50mm * 60mm。



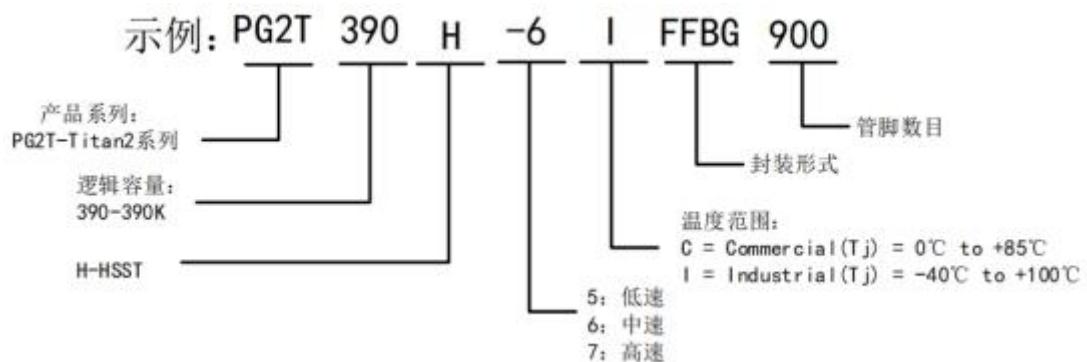
MES2T484-70HP 核心板实物图

2.2 系统描述

2.2.1 FPGA

FPGA 的型号为 PG2T70H-6IFBB484, 属于紫光同创 Titan2 系列产品, 速度等级为 6, 温度范围: 工业级 (-40~100°C), FBB 封装, 管脚数目: 484

紫光同创 Titan2 系列 FPGA 产品型号的编号内容及意义:



Titan2 系列 FPGA 产品型号的编号内容及意义

PG2T70H-6IFBB484 主要参数如下表所示:

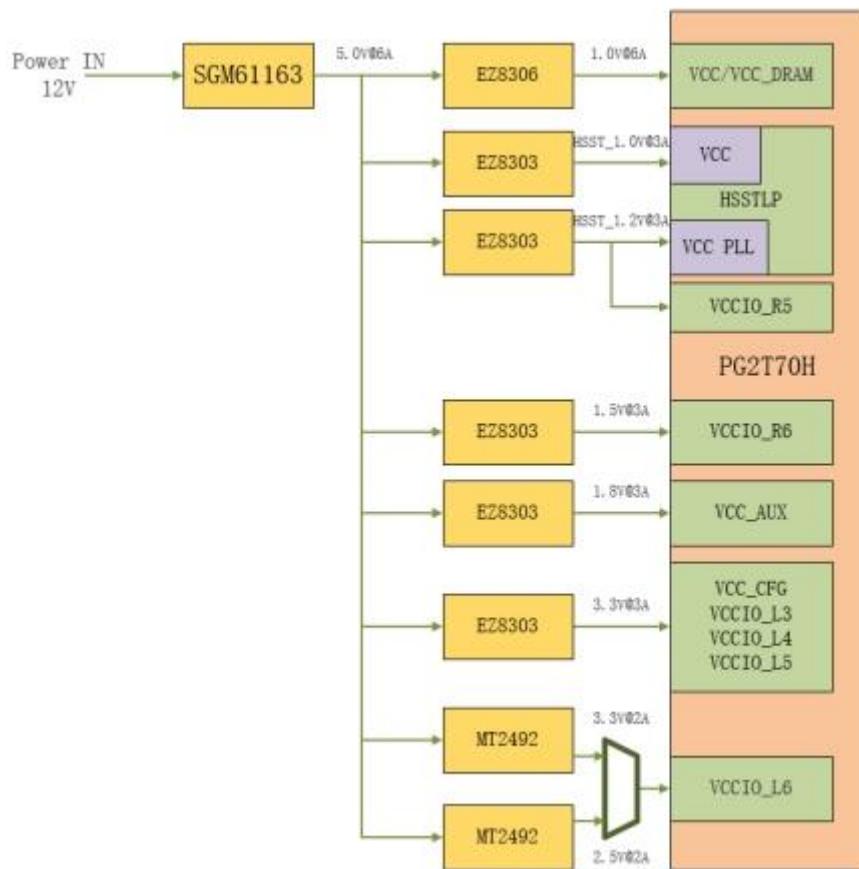
PG2T70H-6IFBB484 主要参数

| 资源 | | 参数 |
|------|----------|-------|
| 逻辑资源 | 触发器 (FF) | 85200 |

| | | |
|-------|-----------------|--------|
| | LUT6 | 42600 |
| | 等效LUT4 | 68160 |
| RAM资源 | 分布式RAM (Kbit) | 843.75 |
| | 块RAM数量 (36K/块) | 135 |
| | 块RAM (Kbit) | 4860 |
| 时钟资源 | GPLL | 6 |
| | PPLL | 6 |
| 硬核资源 | APM (25*18 乘法器) | 240 |
| | HSST (12.5G) | 4 |
| | PCIE Gen2*4 | 1 |
| IO资源 | 用户IO | 285 |

2.2.2 电源接口

MES2T484-70HP 核心板供电电压为 VCCIN, 输出电压为 5V, 需要通过板对板连接器供电, 连接底板时通过底板供电。板上的电源设计示意图如下图所示:



电源设计示意图

各电源的功能如下表所示：

电源功能说明表

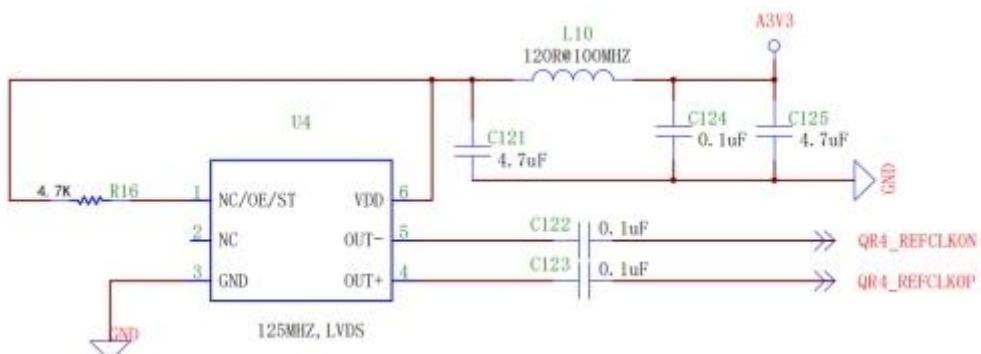
| 电源 | 功能用途 |
|-----------|-----------------------------------|
| 5.0V | 板对板连接座输入电源 |
| 1.0V | PG2T70H内核电压 |
| HSST_1.2V | PG2T70H HSST 锁相环电源 |
| HSST_1.0V | PG2T70H HSST 收发器内核电源, BANK R5 电源。 |
| 1.5V | DDR3 供电电压及Bank R6 电源 |
| 1.8V | 辅助电源 |
| 3.3V | I/O电压, 部分接口 (晶振, FLASH) 供电电压 |
| VTT | DDR3 控制线与地址线的上拉电压, 保持信号完整性; |
| VREF | DDR3 参考电压; |

2.2.3 时钟

MES2T484-70HP 核心板配有两个 125MHz 有源差分晶振, 1 个 27MHz 单端晶振, 1 个 50MHz 单端晶振。两个差分晶振分别用于 DDR3 参考时钟与光纤通信、SMA 接口通信参考时钟。

2.2.3.1 125MHz 有源差分晶振

下图 U4 为 125MHz 有源差分晶振, 为光纤、SMA 通信提供参考时钟, 晶振时钟输入至 FPGA QR4 的 HSSTREFCLK1N_QR4 与 HSSTREFCLK1P_QR4 管脚上。



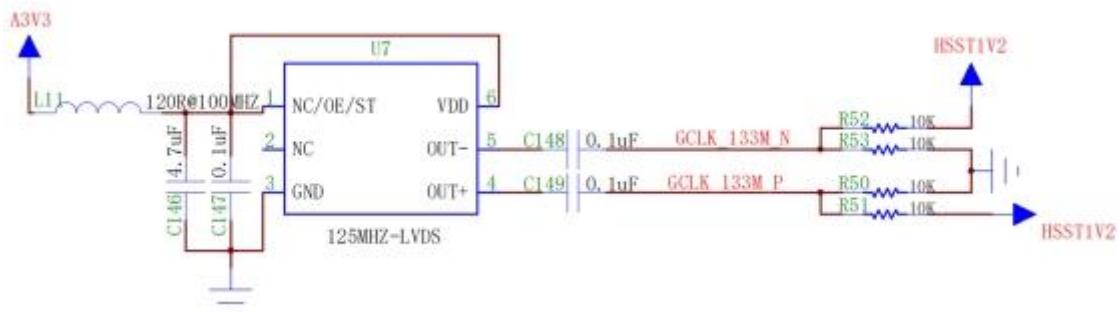
U4 : 125MHz 有源差分晶振

具体的管脚分配如下表所示:

U4 : 125MHz 有源差分晶振 管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|--------------|---------------|----------------|
| QR4_REFCLKOP | 光纤、SMA 通信参考时钟 | F6 |
| QR4_REFCLKON | | F5 |

下图 U7 为 125MHz 有源差分晶振, 为核心板上的 DDR3 提供输入参考时钟, 晶振时钟输入至 FPGA R5 上。



U7 : 125MHz 有源差分晶振

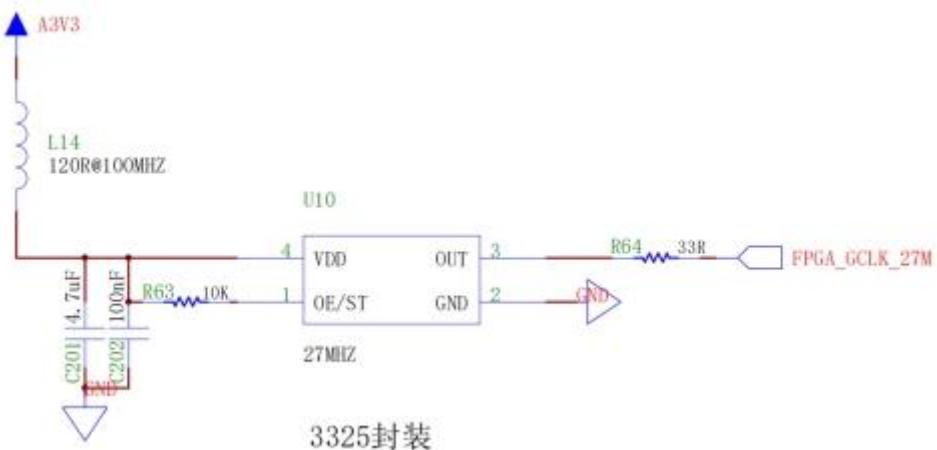
具体的管脚约束如下表所示：

U7 : 125MHz 有源差分晶振 管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|-------------|-----------|----------------|
| GCLK_133M_P | DDR3 参考时钟 | R3 |
| GCLK_133M_N | | T3 |

2.2.3.2 27MHz 单端晶振

下图 U10 为 27MHz 有源单端晶振，此时钟连接在 FPGA 的全局时钟管脚上，可作为 FPGA 系统时钟输入。



U10: 27MHz 单端晶振

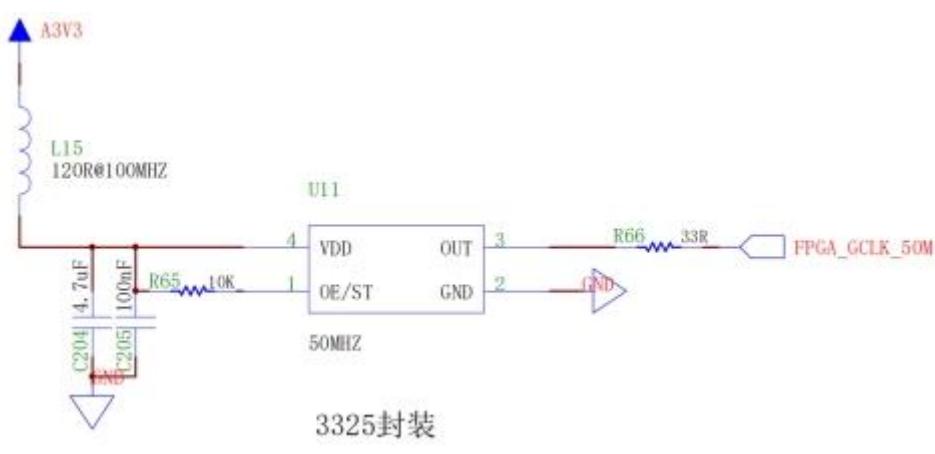
具体的管脚分配如下表所示：

U10: 27MHz 单端晶振 管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|---------------|------------|----------------|
| FPGA_GCLK_27M | FPGA系统时钟输入 | L19 |

2.2.3.3 50MHz 单端晶振

下图 U11 为 50MHz 有源单端晶振，此时钟连接同样在 FPGA 的全局时钟管脚上，可作为 FPGA 系统时钟输入。



U11: 50MHz 单端晶振

具体的管脚分配如下表所示：

U11: 50MHz 单端晶振 管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|---------------|------------|----------------|
| FPGA_GCLK_50M | FPGA系统时钟输入 | N18 |

2.2.4 上电 IO Status

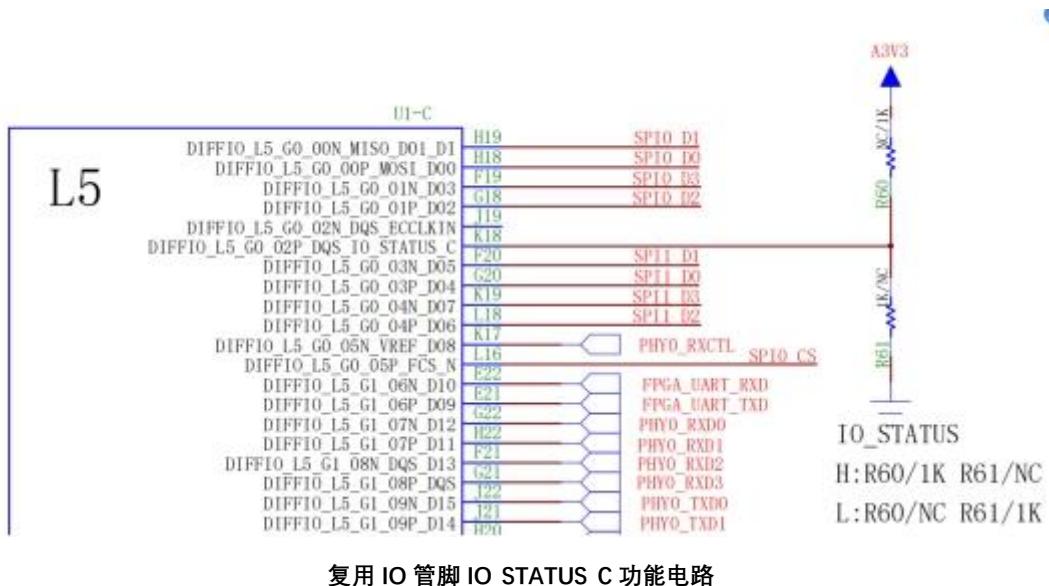
在 Titan2 器件上有一个功能复用 IO，控制从上电完成后到进入用户模式之前所有用户 IO 的弱上拉电阻是否使能。此管脚在配置之前或是配置过程中，该引脚不允许悬空，此 IO 在上电后的对应功能如下：

- (1) “0”，使能所有用户 IO 内部上拉电阻。

(2) “1”，不使能所有用户 IO 内部上拉电阻，IO 输出高阻态。

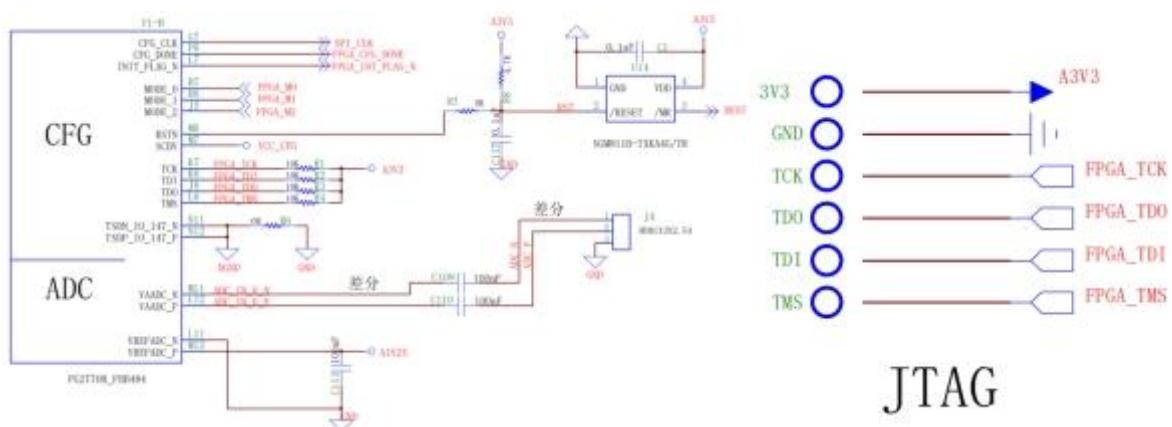
MES2T484-70HP 核心板将此管脚的功能默认上拉，用户可根据需求，自行焊接电
阻选择上电后初始的 IO 状态；

功能电路如下：



2.2.5 JTAG 接口

MES2T484-70HP 核心板正面左上角预留 JTAG 触点，可在没有底板的情况下调试核心板。FPGA 的 JTAG 信号通过高速板对板连接器与底板 JTAG 接口相连，用于下载 FPGA 程序或者固化程序到 FLASH。



核心板 JTAG 电路

2.2.6 DDR3

MES2T484-70HP 核心板集成了 1 颗 1Gbit (128MB) 的 DDR3 芯片，DDR3 的线宽为 16bit, 型号为 Micron 公司的 MT41J64M16JT-107G:G 。DDR3 SDRAM 的最高运行时钟高达 800MHz (数据速率)，该 DDR3 存储系统直接连接到了 FPGA 的 BANK R6 上，DDR3 SDRAM 的硬件连接示意图如下图所示：



DDR3 硬件连接示意图

DDR3 布线采用 50 欧姆走线阻抗用于单端信号，DCI 电阻 (VRP / VRN) 以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上采用 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V，以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随，保持为 1/2 倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出，等于 1/2 倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的，可为 DDR 电平转换提供更清晰的参考。

具体的管脚分配如下表所示：

DDR3 管脚分配

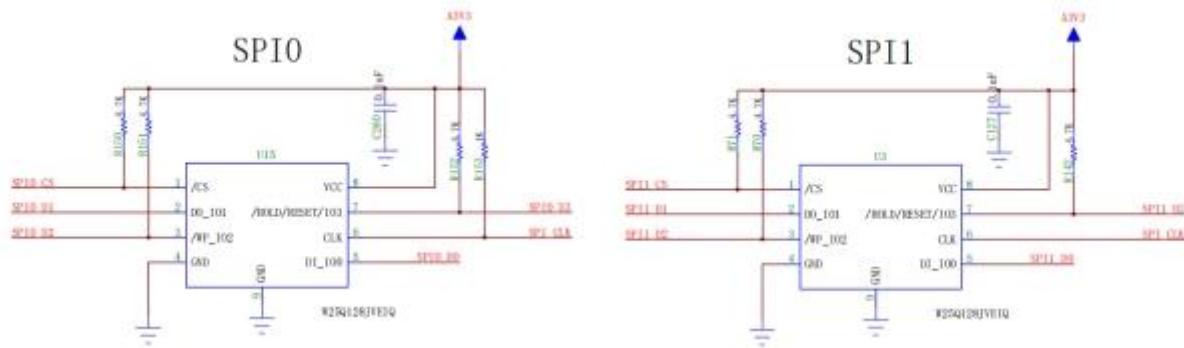
| 信号 | PG2T70H-484 管脚 | 描述 | PG2T70H-484 管脚 |
|----------|----------------|----------|----------------|
| DDR3_DQ0 | V7 | DDR3_DQ1 | W6 |
| DDR3_DQ2 | W7 | DDR3_DQ3 | R6 |
| DDR3_DQ4 | U7 | DDR3_DQ5 | R7 |
| DDR3_DQ6 | U6 | DDR3_DQ7 | Y6 |
| DDR3_DQ8 | AA9 | DDR3_DQ9 | AA10 |

| | | | |
|--------------|------|--------------|------|
| DDR3_DQ10 | AB8 | DDR3_DQ11 | AB5 |
| DDR3_DQ12 | AB7 | DDR3_DQ13 | AA5 |
| DDR3_DQ14 | W11 | DDR3_DQ15 | AA8 |
| DDR3_A0 | Y9 | DDR3_A1 | U10 |
| DDR3_A2 | U11 | DDR3_A3 | T8 |
| DDR3_A4 | V12 | DDR3_A5 | W10 |
| DDR3_A6 | V13 | DDR3_A7 | W9 |
| DDR3_A8 | U13 | DDR3_A9 | V9 |
| DDR3_A10 | AA11 | DDR3_A11 | AB11 |
| DDR3_A12 | AB12 | DDR3_BA0 | T9 |
| DDR3_BA1 | AB13 | DDR3_BA2 | V10 |
| DDR3_DQS0_LP | U8 | DDR3_DQS0_LN | V8 |
| DDR3_DQS0_UP | AA6 | DDR3_DQS0_UN | AB6 |
| DDR3_DM0L | Y7 | DDR3_DM0U | AB10 |
| DDR3_CLK_P | Y13 | DDR3_CLK_N | AA13 |
| DDR3_RESET | T6 | DDR3_CKE | W12 |
| DDR3_ODT | T11 | DDR3_WE | U12 |
| DDR3_RAS | T13 | DDR3_CAS | T10 |

2.2.7 QSPI Flash

MES2T484-70HP 核心板采用两片 winbond 公司的 4 位 SPI (QSPI) 串行 Nor 闪存 W25Q128JV，容量共 256Mb，最高支持 8bit 模式。

两颗 QSPI FLASH (U15、U3) 的电路连接如下：



QSPI Flash 电路连接图

具体的管脚分配如下表所示：

QSPI Flash 管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|---------|-----------|----------------|
| SPI_CLK | 串行数据时钟 | G7 |
| SPI0_CS | U15 片选 | L16 |
| SPI0_D0 | U15 数据位 0 | H18 |
| SPI0_D1 | U15 数据位 1 | H19 |
| SPI0_D2 | U15 数据位 2 | G18 |
| SPI0_D3 | U15 数据位 3 | F19 |
| SPI1_CS | U3 片选 | D22 |
| SPI1_D0 | U3 数据位 0 | G20 |
| SPI1_D1 | U3 数据位 1 | F20 |
| SPI1_D2 | U3 数据位 2 | L18 |
| SPI1_D3 | U3 数据位 3 | K19 |

2.2.8 扩展 IO

MES2T484-70HP 核心板背面共有 2 个 120pin 高速扩展口 J10/J11，核心板侧连接器型号：LB3524-G120P-WOR，扩展板侧连接器型号：LB3524-G120S-WOR。FPGA 的 IO 通过 2 个扩展口与底板连接，实现高速数据通信。

扩展口 J10:

扩展口 J10 信号管脚分配

| J10 管脚 | 网络名称 | FPGA 管脚 | J10 管脚 | 网络名称 | FPGA 管脚 |
|--------|-----------------|---------|--------|-----------|---------|
| 1 | PCIE_TX0N | F1 | 2 | PCIE_CLKN | D5 |
| 3 | PCIE_TX0P | F2 | 4 | PCIE_CLKP | D6 |
| 5 | GND | | 6 | GND | |
| 7 | PCIE_TX1N | D1 | 8 | PCIE_RX0N | G3 |
| 9 | PCIE_TX1P | D2 | 10 | PCIE_RX0P | G4 |
| 11 | GND | | 12 | GND | |
| 13 | SFP0_RXN | B5 | 14 | PCIE_RX1N | E3 |
| 15 | SFP0_RXP | B6 | 16 | PCIE_RX1P | E4 |
| 17 | GND | | 18 | GND | |
| 19 | SFP0_TXN | A3 | 20 | SDI_RXN | C3 |
| 21 | SFP0_TXP | A4 | 22 | SDI_RXP | C4 |
| 23 | GND | | 24 | GND | |
| 25 | SFP0_TX_DISABLE | B12 | 26 | SDI_TXN | B1 |
| 27 | SFP0_LOS | C12 | 28 | SDI_TXP | B2 |
| 29 | PCIE_PERST | A14 | 30 | GND | |
| 31 | PCIE_WAKE | A13 | 32 | HD_RX_INT | D12 |
| 33 | HD_TX_D23 | A10 | 34 | HD_TX_INT | H9 |
| 35 | HD_TX_D22 | A11 | 36 | RSTN_OUT | H8 |
| 37 | HD_TX_D21 | A8 | 38 | USER_LED0 | U16 |
| 39 | HD_TX_D20 | A9 | 40 | USER_LED1 | T16 |
| 41 | HD_TX_D19 | B10 | 42 | USER_LED2 | R16 |
| 43 | HD_TX_D18 | B11 | 44 | USER_LED3 | Y16 |
| 45 | HD_TX_D17 | B8 | 46 | USER_LED4 | W16 |
| 47 | HD_TX_D16 | C8 | 48 | USER_LED5 | Y14 |
| 49 | HD_TX_D15 | C9 | 50 | USER_LED6 | W14 |
| 51 | HD_TX_D14 | D9 | 52 | USER_LED7 | W15 |

| | | | | | |
|-----|------------------|-----|-----|------------------|-----|
| 53 | HD_TX_D13 | C10 | 54 | USER_BUTTON0 | K21 |
| 55 | HD_TX_D12 | D10 | 56 | USER_BUTTON1 | M21 |
| 57 | HD_TX_D11 | E8 | 58 | USER_BUTTON2 | N20 |
| 59 | FPGA_TCK | K7 | 60 | USER_BUTTON3 | L21 |
| 61 | FPGA_TDO | J6 | 62 | USER_BUTTON4 | M20 |
| 63 | FPGA_TDI | K6 | 64 | USER_BUTTON5 | R19 |
| 65 | FPGA_TMS | L6 | 66 | USER_BUTTON6 | R18 |
| 67 | REST | M6 | 68 | USER_BUTTON7 | P20 |
| 69 | GND | | 70 | GND | |
| 71 | MIPI1_RX_DATA_N0 | L4 | 72 | MIPIO_RX_DATA_N0 | M3 |
| 73 | MIPI1_RX_DATA_P0 | L5 | 74 | MIPIO_RX_DATA_P0 | L3 |
| 75 | GND | | 76 | GND | |
| 77 | MIPI1_RX_DATA_N1 | R2 | 78 | MIPIO_RX_DATA_N1 | L1 |
| 79 | MIPI1_RX_DATA_P1 | P2 | 80 | MIPIO_RX_DATA_P1 | K1 |
| 81 | GND | | 82 | GND | |
| 83 | MIPI1_RX_DATA_N2 | R1 | 84 | MIPIO_RX_DATA_N2 | M1 |
| 85 | MIPI1_RX_DATA_P2 | P1 | 86 | MIPIO_RX_DATA_P2 | M2 |
| 87 | GND | | 88 | GND | |
| 89 | MIPI1_RX_DATA_N3 | N4 | 90 | MIPIO_RX_DATA_N3 | K2 |
| 91 | MIPI1_RX_DATA_P3 | M5 | 92 | MIPIO_RX_DATA_P3 | K3 |
| 93 | GND | | 94 | GND | |
| 95 | MIPI1_RX_CLK_N | R4 | 96 | MIPIO_RX_CLK_N | U1 |
| 97 | MIPI1_RX_CLK_P | P4 | 98 | MIPIO_RX_CLK_P | T1 |
| 99 | GND | | 100 | GND | |
| 101 | MIPI1_TX_DATA_N0 | Y1 | 102 | MIPIO_TX_DATA_N0 | V2 |
| 103 | MIPI1_TX_DATA_P0 | W1 | 104 | MIPIO_TX_DATA_P0 | U2 |
| 105 | MIPI1_TX_DATA_N1 | Y2 | 106 | MIPIO_TX_DATA_N1 | U5 |
| 107 | MIPI1_TX_DATA_P1 | Y3 | 108 | MIPIO_TX_DATA_P1 | T5 |
| 109 | MIPI1_TX_DATA_N2 | AB1 | 110 | MIPIO_TX_DATA_N2 | W2 |
| 111 | MIPI1_TX_DATA_P2 | AA1 | 112 | MIPIO_TX_DATA_P2 | V3 |

| | | | | | |
|-----|------------------|-----|-----|------------------|----|
| 113 | MIPI1_TX_DATA_N3 | AB2 | 114 | MIPI0_TX_DATA_N3 | P5 |
| 115 | MIPI1_TX_DATA_P3 | AA3 | 116 | MIPI0_TX_DATA_P3 | N5 |
| 117 | MIPI1_TX_CLK_N | W4 | 118 | MIPI0_TX_CLK_N | U3 |
| 119 | MIPI1_TX_CLK_P | V4 | 120 | MIPI0_TX_CLK_P | T4 |

扩展口 J11:

扩展口 J11 信号管脚分配

| J11 管脚 | 网络名称 | FPGA 管脚 | J11 管脚 | 网络名称 | FPGA 管脚 |
|--------|-------------|---------|--------|-------------|---------|
| 1 | 5V | | 2 | 5V | |
| 3 | | | 4 | | |
| 5 | HD_RX_MU_MC | B13 | 6 | TX_WS | E11 |
| 7 | HD_RX_I2S0 | A15 | 8 | HD_TX_SC_MC | D11 |
| 9 | HD_RX_I2S1 | B15 | 10 | HD_TX_I2S0 | F9 |
| 11 | HD_RX_SC_MC | A16 | 12 | HD_TX_I2S1 | E9 |
| 13 | HD_WS_SP | B16 | 14 | HD_TX_VS | E13 |
| 15 | HD_RX_D23 | A21 | 16 | HD_TX_HS | E12 |
| 17 | HD_RX_D22 | A20 | 18 | HD_TX_DE | F10 |
| 19 | HD_RX_D21 | B21 | 20 | HD_TX_D0 | G8 |
| 21 | HD_RX_D20 | B20 | 22 | HD_TX_D1 | F8 |
| 23 | HD_RX_D19 | B22 | 24 | HD_TX_D2 | G13 |
| 25 | HD_RX_D18 | C22 | 26 | HD_TX_D3 | F13 |
| 27 | HD_RX_D17 | A18 | 28 | HD_TX_D4 | G11 |
| 29 | HD_RX_D16 | B17 | 30 | HD_TX_D5 | G10 |
| 31 | HD_RX_D15 | D16 | 32 | HD_TX_D6 | H12 |
| 33 | HD_RX_D14 | D15 | 34 | HD_TX_D7 | G12 |
| 35 | HD_RX_D13 | D21 | 36 | HD_TX_D8 | H14 |
| 37 | HD_RX_D12 | A19 | 38 | HD_TX_PCLK | F11 |
| 39 | HD_RX_D11 | B18 | 40 | HD_TX_D9 | H13 |

| | | | | | |
|----|------------|------|-----|---------------|------|
| 41 | HD_RX_D10 | C20 | 42 | HD_TX_D10 | H10 |
| 43 | HD_RX_D9 | C19 | 44 | PHY0_RXD2 | F21 |
| 45 | HD_RX_D8 | D20 | 46 | PHY0_RXD3 | G21 |
| 47 | HD_RX_D7 | D19 | 48 | PHY0_RXD0 | G22 |
| 49 | HD_RX_D6 | E18 | 50 | PHY0_RXD1 | H22 |
| 51 | HD_RX_D5 | E17 | 52 | PHY0_TXC | H20 |
| 53 | HD_RX_PCLK | C17 | 54 | PHY0_RXC | J20 |
| 55 | HD_RX_D4 | D17 | 56 | PHY0_TXD0 | J22 |
| 57 | HD_RX_D3 | E16 | 58 | PHY0_TXD1 | J21 |
| 59 | HD_RX_D2 | E19 | 60 | PHY0_RXCTL | K17 |
| 61 | HD_RX_D1 | F18 | 62 | PHY0_TXD2 | L20 |
| 63 | HD_RX_D0 | G17 | 64 | PHY0_TXD3 | N19 |
| 65 | HD_RX_DE | H17 | 66 | PHY0_TXCTL | M22 |
| 67 | HD_RX_HS | G16 | 68 | PHY0_MDC | M18 |
| 69 | HD_RX_VS | G15 | 70 | PHY0_MDIO | M17 |
| 71 | HSP_SDA | J17 | 72 | FPGA_UART_RXD | E22 |
| 73 | HSP_SCL | J16 | 74 | FPGA_UART_TXD | E21 |
| 75 | ID2 | K16 | 76 | LED_EN | P20 |
| 77 | AGING2 | M16 | 78 | LED_PWM | P21 |
| 79 | CDSI_SDA | N17 | 80 | GPIO1 | R22 |
| 81 | CDSI_SCL | P16 | 82 | GPIO2 | R21 |
| 83 | L6_G0_01N | V22 | 84 | L6_G0_00N | U21 |
| 85 | L6_G0_01P | U22 | 86 | L6_G0_00P | T21 |
| 87 | L6_G0_03N | W22 | 88 | L6_G0_02N | U18 |
| 89 | L6_G0_03P | W21 | 90 | L6_G0_02P | T18 |
| 91 | L6_G0_05N | U20 | 92 | L6_G0_04N | V18 |
| 93 | L6_G0_05P | T20 | 94 | L6_G0_04P | U17 |
| 95 | L6_G0_07N | AB21 | 96 | L6_G0_06N | Y22 |
| 97 | L6_G0_07P | AA20 | 98 | L6_G0_06P | Y21 |
| 99 | L6_G0_09N | AB20 | 100 | L6_G0_08N | AB22 |

| | | | | | |
|-----|-----------|------|-----|-----------|------|
| 101 | L6_G0_09P | AA19 | 102 | L6_G0_08P | AA21 |
| 103 | L6_G0_11N | W19 | 104 | L6_G0_10N | W20 |
| 105 | L6_G0_11P | V19 | 106 | L6_G0_10P | V20 |
| 107 | L6_G0_13N | Y17 | 108 | L6_G0_12N | Y19 |
| 109 | L6_G0_13P | W17 | 110 | L6_G0_12P | Y18 |
| 111 | L6_G0_15N | AB16 | 112 | L6_G0_14N | AB18 |
| 113 | L6_G0_15P | AB15 | 114 | L6_G0_14P | AA18 |
| 115 | L6_G0_17N | AA15 | 116 | L6_G0_16N | AB17 |
| 117 | L6_G0_17P | AA14 | 118 | L6_G0_16P | AA16 |
| 119 | VCC_L6 | | 120 | VCC_L6 | |

3. 扩展底板

3.1 扩展底板简介

通过前面开发系统的介绍可知，扩展底板的外设资源如下：

- ✓ HDMI 输入接口*1
- ✓ 10/100/1000M 以太网接口 *1
- ✓ HDMI 输出接口*1
- ✓ 串口*1
- ✓ SMA 接口*1
- ✓ 光模块接口*1
- ✓ 按键*8
- ✓ MIPI IO 扩展口*1
- ✓ PCIe 接口*1
- ✓ 40PIN 扩展口*1

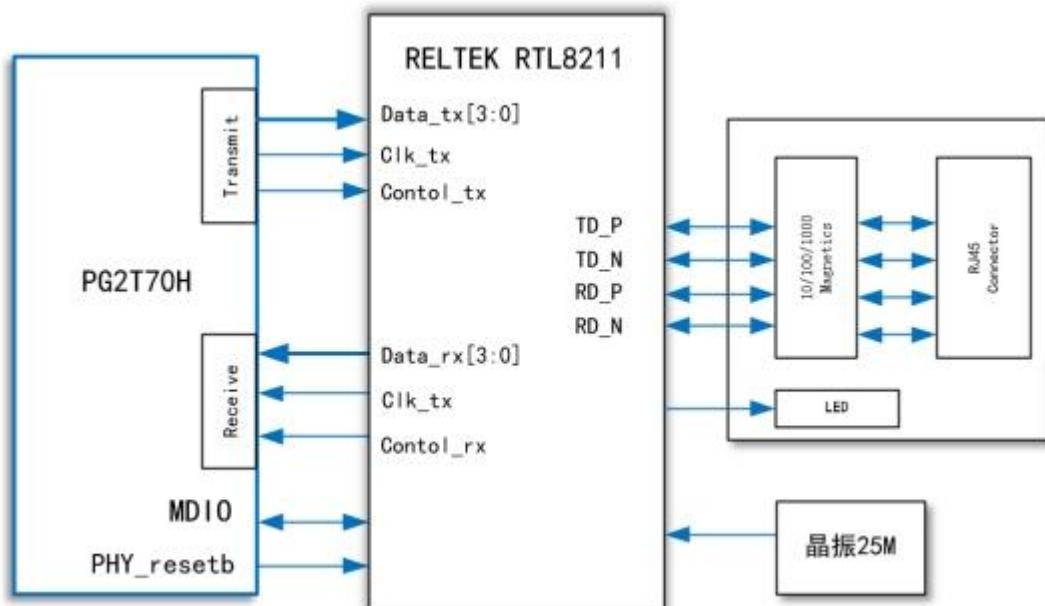
- ✓ LED 灯*8
- ✓ JTAG 调试接口*1

3.2 外接接口通信

3.2.1 网口

MES2T484-70HP 开发板使用 Realtek RTL8211 PHY 实现了一个 10/100/1000 以太网端口, 用于网络连接。该器件工作电压支持 2.5V、3.3V。PHY 连接到 BANK L5, 并通过 RGMII 接口连接到 MES2T484-70HP。RJ-45 连接器是 HFJ11-1G01E-L12RL, 具有集成的自动缠绕磁性元件, 可提高性能、质量和可靠性。RJ-45 有两个状态指示灯 LED, 用于指示流量和有效链路状态。

下图为 MES2T484-70HP 开发板上的网口连接框图。



网口连接图

具体的管脚分配如下所示:

以太网信号管脚分配

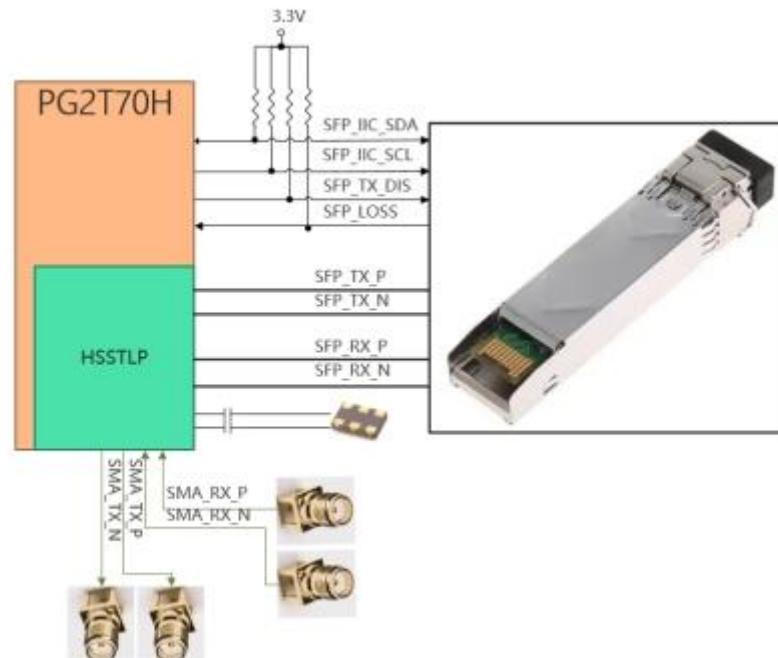
| 信号名称 | 描述 | PG2T70H-484 管脚 | RTL8211 Pin |
|------------|------------|----------------|-------------|
| PHY0_RXC | 接收时钟线 | J20 | 27 |
| PHY0_RXCTL | 接收控制线 | K17 | 26 |
| PHY0_RXD3 | 接收数据线 3 | G21 | 22 |
| PHY0_RXD2 | 接收数据线 2 | F21 | 23 |
| PHY0_RXD1 | 接收数据线 1 | H22 | 24 |
| PHY0_RXD0 | 接收数据线 0 | G22 | 25 |
| PHY0_TXC | 发送时钟线 | H20 | 20 |
| PHY0_TXCTL | 发送控制线 | M22 | 19 |
| PHY0_TXD3 | 发送数据线 3 | N19 | 15 |
| PHY0_TXD2 | 发送数据线 2 | L20 | 16 |
| PHY0_TXD1 | 发送数据线 1 | J21 | 17 |
| PHY0_TXD0 | 发送数据线 0 | J22 | 18 |
| PHY0_MDC | 控制总线时钟 | M18 | 13 |
| PHY0_MDIO | 控制总线数据 | M17 | 14 |
| RSTN_OUT | 复位控制线, 低有效 | H8 | 12 |

(以太网接口、HDMI 输入接口、HDMI 输出接口的复位控制信号均为 RSTN_OUT)

3.2.2 SFP 光纤接口

MES2T484-70HP 板上有 1 路 SFP 光纤接口, 用户可使用光模块与光纤接口相连进行光纤通信。光纤接口与 FPGA 的 HSST 收发器的 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式连接 FPGA 和光模块, 每路 TX 发送和 RX 接收数据速率高达 12.5Gbps。HSST 收发器的参考时钟由板载的 125M 差分晶振提供。

FPGA 和光纤设计示意图如下图所示:



FPGA 和光纤设计示意图

具体的管脚约束如下表所示:

光纤信号管脚分配

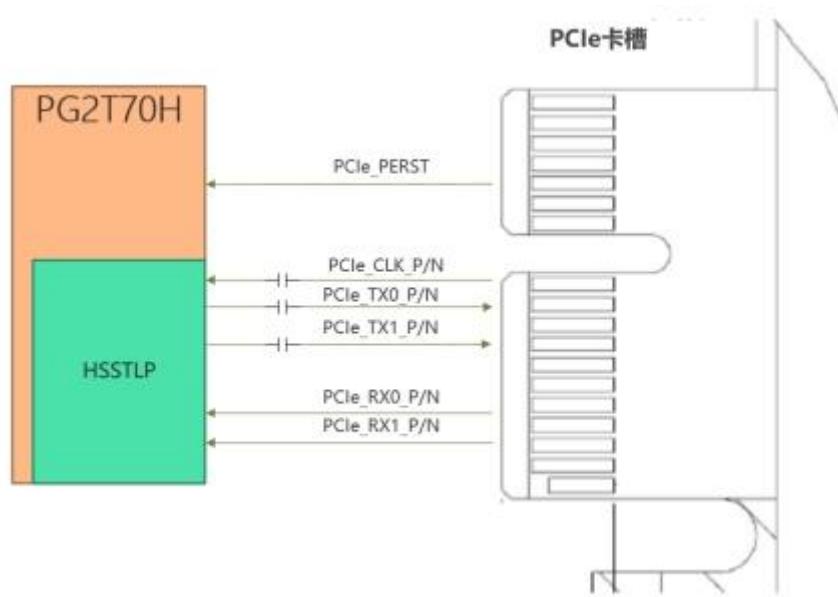
| 信号名称 | 描述 | PG2T70H-484 管脚 |
|-----------------|-------------------------------|----------------|
| SFP0_TXP | SFP0 光模块数据发送P端 | A4 |
| SFP0_TXN | SFP0 光模块数据发送N端 | A3 |
| SFP0_RXP | SFP0 光模块数据接收P端 | B6 |
| SFP0_RXN | SFP0 光模块数据接收N端 | B5 |
| SFP0_LOS | SFP0 光模块接收Loss信号, 高表示没有接收到光信号 | C12 |
| SFP0_TX_DISABLE | SFP0 光模块光发射禁止, 高有效 | B12 |
| HSP_SCI | SFP0 光模块I2C通信时钟 | J16 |
| HSP_SDA | SFP0 光模块I2C通信数据 | J17 |

3.2.3 PCIe x2

MES2T484-70HP 扩展底板上提供一个工业级高速数据传输 PCIe x2 接口, PCIe 卡的外形尺寸符合标准 PCIe 卡电气规范要求, 可直接在普通 PC 的 x4 PCIe 插槽上使用。

PCIe 接口的收发信号直接跟 FPGA 的 HSST 收发器相连接, 二通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA, 单通道通信速率可高达 5G bit 带宽。PCIe 的参考时钟由 PC 端的 PCIe 插槽提供给开发板, 参考时钟频率为 100Mhz。

TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。



PCIe 设计示意图

MES2T484-70HP 与 PCIe 卡槽的管脚连接如下表所示。

PCIe 信号管脚分配

| 信号名称 | 描述 | PG2T70H-484 管脚 |
|-----------|--------------------|----------------|
| PCIE_TX0P | PCIe 通道 0 数据发送 P 端 | F2 |
| PCIE_TX0N | PCIe 通道 0 数据发送 N 端 | F1 |

| | | |
|------------|-----------------|-----|
| PCIE_RX0P | PCIe通道 0 数据接收P端 | G4 |
| PCIE_RX0N | PCIe通道 0 数据接收N端 | G3 |
| PCIE_TX1P | PCIe通道 1 数据发送P端 | D2 |
| PCIE_TX1N | PCIe通道 1 数据发送N端 | D1 |
| PCIE_RX1P | PCIe通道 1 数据接收P端 | E4 |
| PCIE_RX1N | PCIe通道 1 数据接收N端 | E3 |
| PCIE_PERST | PCIe的复位引脚 | A14 |
| PCIE_WAKE | PCIe的唤醒引脚 | A13 |
| PCIE_CLKP | PCIe的参考时钟P端 | D6 |
| PCIE_CLKN | PCIe的参考时钟N端 | D5 |

3.2.4 SMA 接口

MES2T484-70HP 开发板上有一路用于高速通信的 SMA 接口信号。板卡 SMA 接口符合标准 SMA 接口规范, 可使用“内螺旋+插针”的 SMA 线连接板卡“外螺旋+插孔”的 SMA 接口进行通信, 板卡 SMA 接口与 FPGA 的 HSST 收发器的一路 RX/TX 相连, TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和 SMA 接口, TX 发送和 RX 接收数据速率高达 12.5Gb/s。HSST 收发器的参考时钟由板载的 125M 差分晶振提供。



SMA 座原理图

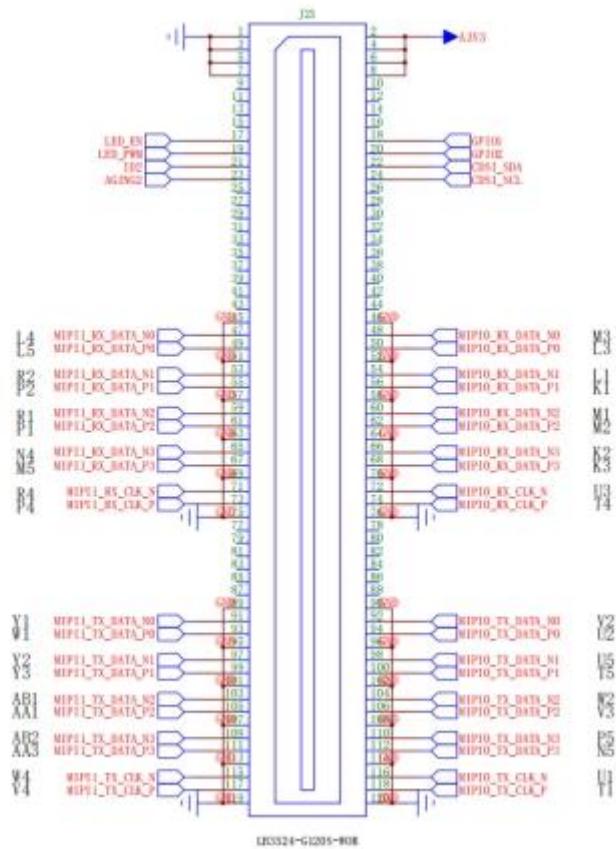
具体的管脚约束如下所示:

SMA 信号管脚分配

| 信号名称 | 描述 | PG2T70H-484 管脚 |
|---------|-----------|----------------|
| SDI_TXP | SMA数据发送P端 | B2 |
| SDI_TXN | SMA数据发送N端 | B1 |
| SDI_RXP | SMA数据接收P端 | C4 |
| SDI_RXN | SMA数据接收N端 | C3 |

3.2.5 MIPI IO 扩展口

MES2T484-70HP 开发板通过 J21 板对板连接器 LB3524-G120S-WOR 扩展了 FPGA 的 MIPI IO, MIPI RX/TX 信号连接在 BANK R5 上, BANK R5 电源电压为 1.2V。用户可根据 MIPI 应用场景设计 MIPI 接口转接板, 连接相关 MIPI 设备。



MIPI 信号连接原理图

具体的管脚约束如下所示：

MIPI 信号管脚分配

| 信号名称 | 描述 | PG2T70H-484 管脚 |
|------------------|-------------------|----------------|
| MIPIO_RX_CLK_N | MIPIO 接收时钟线 (N) | U3 |
| MIPIO_RX_CLK_P | MIPIO 接收时钟线 (P) | T3 |
| MIPIO_RX_DATA_N0 | MIPIO 接收数据线 0 (N) | M3 |
| MIPIO_RX_DATA_P0 | MIPIO 接收数据线 0 (P) | L3 |
| MIPIO_RX_DATA_N1 | MIPIO 接收数据线 1 (N) | L1 |
| MIPIO_RX_DATA_P1 | MIPIO 接收数据线 1 (P) | K1 |
| MIPIO_RX_DATA_N2 | MIPIO 接收数据线 2 (N) | M1 |
| MIPIO_RX_DATA_P2 | MIPIO 接收数据线 2 (P) | M2 |
| MIPIO_RX_DATA_N3 | MIPIO 接收数据线 3 (N) | K2 |
| MIPIO_RX_DATA_P3 | MIPIO 接收数据线 3 (P) | K3 |

| | | |
|------------------|-------------------|-----|
| MIPI1_RX_CLK_N | MIPI1 接收时钟线 (N) | R4 |
| MIPI1_RX_CLK_P | MIPI1 接收时钟线 (P) | P4 |
| MIPI1_RX_DATA_N0 | MIPI1 接收数据线 0 (N) | L4 |
| MIPI1_RX_DATA_P0 | MIPI1 接收数据线 0 (P) | L5 |
| MIPI1_RX_DATA_N1 | MIPI1 接收数据线 1 (N) | R2 |
| MIPI1_RX_DATA_P1 | MIPI1 接收数据线 1 (P) | P2 |
| MIPI1_RX_DATA_N2 | MIPI1 接收数据线 2 (N) | R1 |
| MIPI1_RX_DATA_P2 | MIPI1 接收数据线 2 (P) | P1 |
| MIPI1_RX_DATA_N3 | MIPI1 接收数据线 3 (N) | N4 |
| MIPI1_RX_DATA_P3 | MIPI1 接收数据线 3 (P) | M5 |
| MIPI0_TX_CLK_N | MIPI0 发送时钟线 (N) | U1 |
| MIPI0_TX_CLK_P | MIPI0 发送时钟线 (P) | T1 |
| MIPI0_TX_DATA_N0 | MIPI0 发送数据线 0 (N) | V2 |
| MIPI0_TX_DATA_P0 | MIPI0 发送数据线 0 (P) | U2 |
| MIPI0_TX_DATA_N1 | MIPI0 发送数据线 1 (N) | U5 |
| MIPI0_TX_DATA_P1 | MIPI0 发送数据线 1 (P) | T5 |
| MIPI0_TX_DATA_N2 | MIPI0 发送数据线 2 (N) | W2 |
| MIPI0_TX_DATA_P2 | MIPI0 发送数据线 2 (P) | V3 |
| MIPI0_TX_DATA_N3 | MIPI0 发送数据线 3 (N) | P5 |
| MIPI0_TX_DATA_P3 | MIPI0 发送数据线 3 (P) | N5 |
| MIPI1_TX_CLK_N | MIPI1 发送时钟线 (N) | W4 |
| MIPI1_TX_CLK_P | MIPI1 发送时钟线 (P) | V4 |
| MIPI1_TX_DATA_N0 | MIPI1 发送数据线 0 (N) | Y1 |
| MIPI1_TX_DATA_P0 | MIPI1 发送数据线 0 (P) | W1 |
| MIPI1_TX_DATA_N1 | MIPI1 发送数据线 1 (N) | Y2 |
| MIPI1_TX_DATA_P1 | MIPI1 发送数据线 1 (P) | Y3 |
| MIPI1_TX_DATA_N2 | MIPI1 发送数据线 2 (N) | AB1 |
| MIPI1_TX_DATA_P2 | MIPI1 发送数据线 2 (P) | AA1 |

| | | |
|------------------|-------------------|-----|
| MIPI1_TX_DATA_N3 | MIPI1 发送数据线 3 (N) | AB2 |
| MIPI1_TX_DATA_P3 | MIPI1 发送数据线 3 (P) | AA3 |
| GPIO1 | 控制信号 | R22 |
| GPIO2 | 控制信号 | R21 |
| ID2 | 控制信号 | K16 |
| AGING2 | 控制信号 | M16 |
| CDSI_SCL | 控制信号 | P16 |
| CDSI_SDA | 控制信号 | N17 |
| LED_EN | 控制信号 | P22 |
| LED_PWM | 控制信号 | P21 |

3.2.6 串口

MES2T484-70HP 扩展底板上集成了一路 USB 转串口模块，采用的 USB-UART 芯片是 CP2102，USB 接口采用 USB Type C 接口，可通过 USB Type C 线将它连接到 PC 端进行串口数据通信。



UART 设计示意图

具体的管脚分配如下:

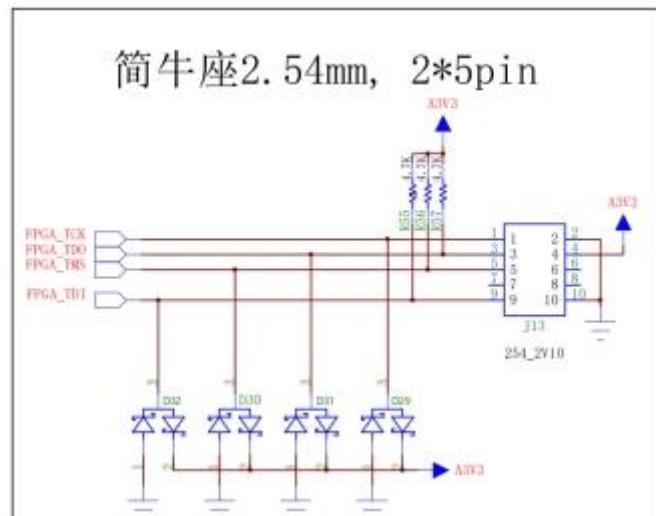
串口信号管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|---------------|----------|----------------|
| FPGA_UART_RXD | UART数据输入 | E22 |
| FPGA_UART_TXD | UART数据输出 | E21 |

3.2.7 JTAG

MES2T484-70HP 扩展底板上的 JTAG 接口用于下载 FPGA 程序或者固化程序到 FLASH。为了减轻带电插拔造成对 FPGA 芯片的损坏，在设计上在 JTAG 信号位置添加了保护二极管来保证信号的电压在 FPGA 接受的范围，避免 FPGA 的损坏。

提醒：通电的情况下，应避免带电插拔。



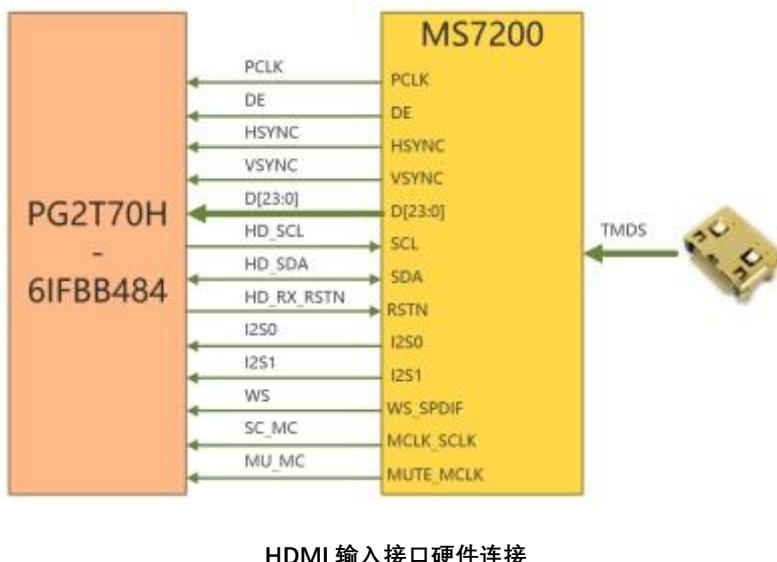
JTAG 接口原理图

3.3 HDMI

3.3.1 HDMI 输入接口

HDMI 输入接口的实现，选用了国产宏晶微公司的 MS7200 HDMI 接收芯片，兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz，最高采样率达到 300MHz；MS7200 支持 YUV 和 RGB 之间

的色彩空间转换, 数字接口支持 YUV 及 RGB 格式输出; MS7200 不仅支持通过 IIS 总线或 SPDIF 传输高清音频, 还支持高比特音频 (HBR) 音频, 在 HBR 模式下, 音频采样率最高为 768KHz。其中 MS7200 的 IIC 配置接口与 FPGA 的 IO 相连 (MS7200 与 MS7210 共用一个 IIC 总线), 通过 FPGA 的编程来对 MS7200 进行初始化和控制操作, MES2T484-70HP 开发板上将 MS7200 的 SA 管脚下拉到地, 故 IIC 的 ID 地址为 0x56; HDMI 输入接口的硬件连接如下图所示。



具体的管脚分配如下所示:

HDMI 输入接口信号管脚分配

| 信号 | 功能描述 | PG2T70H-484 管脚 |
|------------|-------------------|----------------|
| HD_RX_PCLK | HDMI显示图像像素时钟 | C17 |
| HD_RX_VS | HDMI显示图像帧同步信号 | G15 |
| HD_RX_HS | HDMI显示图像行同步信号 | G16 |
| HD_RX_DE | HDMI显示图像有效像素点使能信号 | H17 |
| HD_RX_D0 | HDMI显示图像像素点数据位[0] | G17 |
| HD_RX_D1 | HDMI显示图像像素点数据位[1] | F18 |

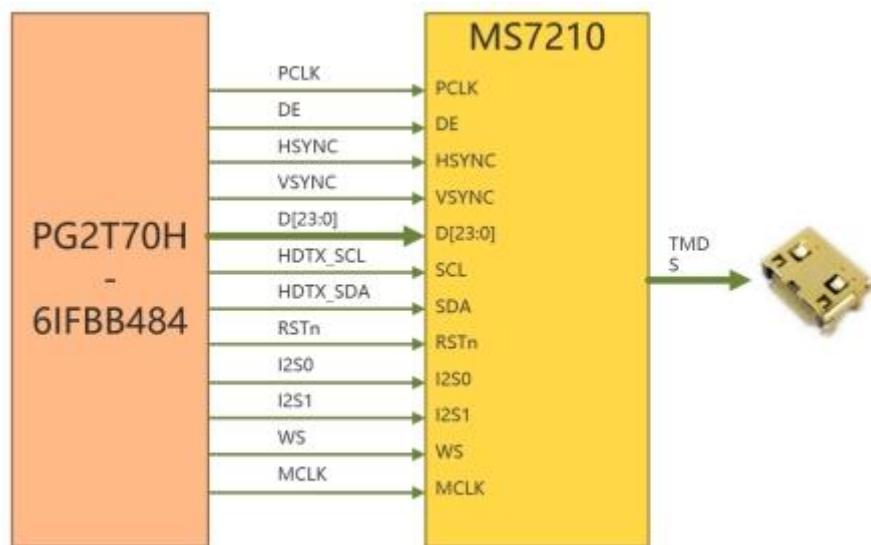
| | | |
|-------------|-----------------------------|-----|
| HD_RX_D2 | HDMI显示图像像素点数据位[2] | E19 |
| HD_RX_D3 | HDMI显示图像像素点数据位[3] | E16 |
| HD_RX_D4 | HDMI显示图像像素点数据位[4] | D17 |
| HD_RX_D5 | HDMI显示图像像素点数据位[5] | E17 |
| HD_RX_D6 | HDMI显示图像像素点数据位[6] | E18 |
| HD_RX_D7 | HDMI显示图像像素点数据位[7] | D19 |
| HD_RX_D8 | HDMI显示图像像素点数据位[8] | D20 |
| HD_RX_D9 | HDMI显示图像像素点数据位[9] | C19 |
| HD_RX_D10 | HDMI显示图像像素点数据位[10] | C20 |
| HD_RX_D11 | HDMI显示图像像素点数据位[11] | B18 |
| HD_RX_D12 | HDMI显示图像像素点数据位[12] | A19 |
| HD_RX_D13 | HDMI显示图像像素点数据位[13] | D21 |
| HD_RX_D14 | HDMI显示图像像素点数据位[14] | D15 |
| HD_RX_D15 | HDMI显示图像像素点数据位[15] | D16 |
| HD_RX_D16 | HDMI显示图像像素点数据位[16] | B17 |
| HD_RX_D17 | HDMI显示图像像素点数据位[17] | A18 |
| HD_RX_D18 | HDMI显示图像像素点数据位[18] | C22 |
| HD_RX_D19 | HDMI显示图像像素点数据位[19] | B22 |
| HD_RX_D20 | HDMI显示图像像素点数据位[20] | B20 |
| HD_RX_D21 | HDMI显示图像像素点数据位[21] | B21 |
| HD_RX_D22 | HDMI显示图像像素点数据位[22] | A20 |
| HD_RX_D23 | HDMI显示图像像素点数据位[23] | A21 |
| HD_RX_SC_MC | MS7200 音频通道I2S的串行时钟信号 | A16 |
| HD_RX_MU_MC | MS7200 音频通道I2S的主时钟信号或Mute信号 | B13 |
| HD_RX_I2S1 | MS7200 音频通道I2S的数据通道 1 | B15 |
| HD_RX_I2S0 | MS7200 音频通道I2S的数据通道 0 | A15 |
| HD_WS_SP | MS7200 音频通道I2S的位时钟 | B16 |

| | | |
|-----------|-------------------------------|-----|
| HD_RX_INT | MS7200 输出中断信号 | D12 |
| HSP_SCL | MS7200 、 MS7210 控制通道IIC的时钟信号 | J16 |
| HSP_SDA | MS7200 、 MS7210 控制通道IIC的数据信号 | J17 |
| RSTN_OUT | MS7200 、 MS7210 硬件复位信号, 低电平有效 | H8 |

(以太网接口、HDMI 输入接口、HDMI 输出接口的复位控制信号均为 RSTN_OUT)

3.3.2 HDMI 输出接口

HDMI 输出接口的实现, 选用了国产宏晶微公司的 MS7210 HDMI 发送芯片, 兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。内置可编程 EDID 缓存, 支持的最高分辨率高达 4K@30Hz, 最高采样率达到 300MHz; MS7210 支持 YUV 和 RGB 之间的色彩空间转换, 数字接口支持 YUV 及 RGB 格式输入; MS7210 的 IIS 接口不仅支持高清音频的传输, 还支持高比特音频 (HBR) 音频, 在 HBR 模式下, 音频采样率最高为 768KHz。其中, MS7210 的 IIC 配置接口与 FPGA 的 IO 相连 (MS7200 与 MS7210 共用一个 IIC 总线), 通过 FPGA 的编程来对 MS7210 进行初始化和控制操作, MES2T484-70HP 开发板将 MS7210 的 SA 管脚上拉到电源电压, 故 IIC 的 ID 地址为 0xB2; HDMI 输出接口的硬件连接如下图所示。



HDMI 输出接口硬件连接

具体的管脚分配如下所示：

HDMI 输出接口信号管脚分配

| 信号 | 功能描述 | PG2T70H-484 管脚 |
|------------|-------------------|----------------|
| HD_TX_PCLK | HDMI显示图像像素时钟 | F11 |
| HD_TX_VS | HDMI显示图像帧同步信号 | E13 |
| HD_TX_HS | HDMI显示图像行同步信号 | E12 |
| HD_TX_DE | HDMI显示图像有效像素点使能信号 | F10 |
| HD_TX_D0 | HDMI显示图像像素点数据位[0] | G8 |
| HD_TX_D1 | HDMI显示图像像素点数据位[1] | F8 |
| HD_TX_D2 | HDMI显示图像像素点数据位[2] | G13 |
| HD_TX_D3 | HDMI显示图像像素点数据位[3] | F13 |
| HD_TX_D4 | HDMI显示图像像素点数据位[4] | G11 |
| HD_TX_D5 | HDMI显示图像像素点数据位[5] | G10 |
| HD_TX_D6 | HDMI显示图像像素点数据位[6] | H12 |
| HD_TX_D7 | HDMI显示图像像素点数据位[7] | G12 |
| HD_TX_D8 | HDMI显示图像像素点数据位[8] | H14 |
| HD_TX_D9 | HDMI显示图像像素点数据位[9] | H13 |

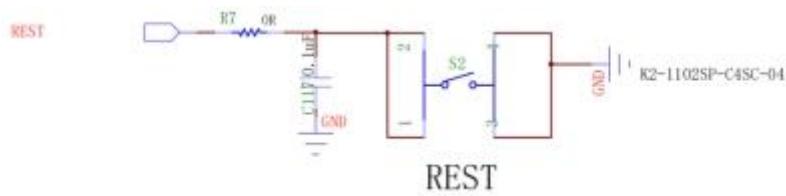
| | | |
|-------------|------------------------------|-----|
| HD_TX_D10 | HDMI显示图像像素点数据位[10] | H10 |
| HD_TX_D11 | HDMI显示图像像素点数据位[11] | E8 |
| HD_TX_D12 | HDMI显示图像像素点数据位[12] | D10 |
| HD_TX_D13 | HDMI显示图像像素点数据位[13] | C10 |
| HD_TX_D14 | HDMI显示图像像素点数据位[14] | D9 |
| HD_TX_D15 | HDMI显示图像像素点数据位[15] | C9 |
| HD_TX_D16 | HDMI显示图像像素点数据位[16] | C8 |
| HD_TX_D17 | HDMI显示图像像素点数据位[17] | B8 |
| HD_TX_D18 | HDMI显示图像像素点数据位[18] | B11 |
| HD_TX_D19 | HDMI显示图像像素点数据位[19] | B10 |
| HD_TX_D20 | HDMI显示图像像素点数据位[20] | A9 |
| HD_TX_D21 | HDMI显示图像像素点数据位[21] | A8 |
| HD_TX_D22 | HDMI显示图像像素点数据位[22] | A11 |
| HD_TX_D23 | HDMI显示图像像素点数据位[23] | A10 |
| HD_TX_SC_MC | MS7210 音频通道I2S的时钟信号 | D11 |
| HD_TX_I2S1 | MS7210 音频通道I2S的数据通道 1 | E9 |
| HD_TX_I2S0 | MS7210 音频通道I2S的数据通道 0 | F9 |
| TX_WS | MS7210 音频通道I2S的位时钟 | E11 |
| HD_TX_INT | MS7210 输出中断 | H9 |
| HSP_SCL | MS7200、MS7210 控制通道IIC的时钟信号 | J16 |
| HSP_SDA | MS7200、MS7210 控制通道IIC的数据信号 | J17 |
| RSTN_OUT | MS7200 、MS7210 硬件复位信号, 低电平有效 | H8 |

(以太网接口、HDMI 输入接口、HDMI 输出接口的复位控制信号均为 RSTN_OUT)

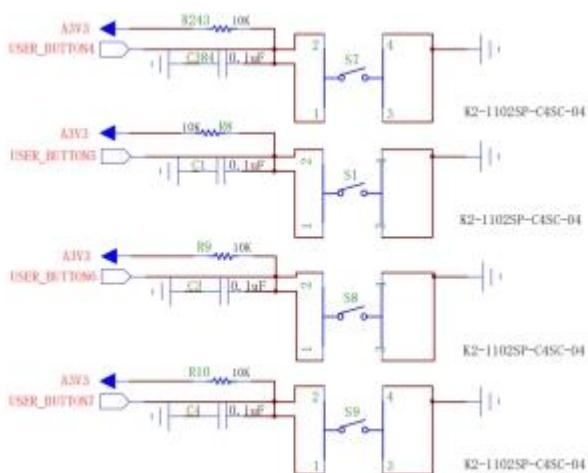
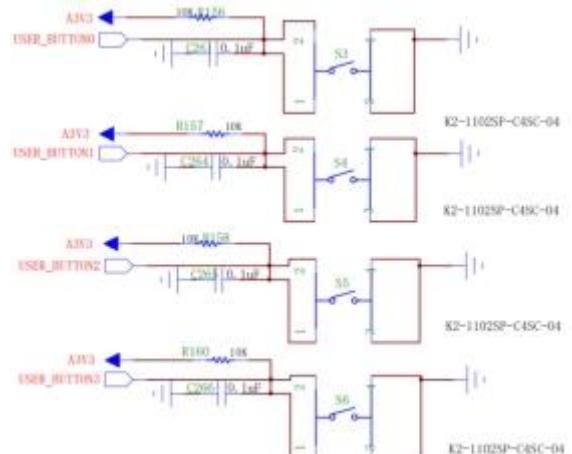
3.4 按键/指示灯

3.4.1 按键

MES2T484-70HP 开发板扩展板上扩展有 1 个异步全芯片复位信号，用于复位配置逻辑及配置寄存器，低电平有效；8 个用户按键，用户按键连接在 FPGA 普通 IO 上，同样也是低电平有效；按键未按下时，按键信号为高电平，当按键按下时，按键信号为低电平。



芯片复位按键电路



用户按键电路

具体的管脚分配如下所示:

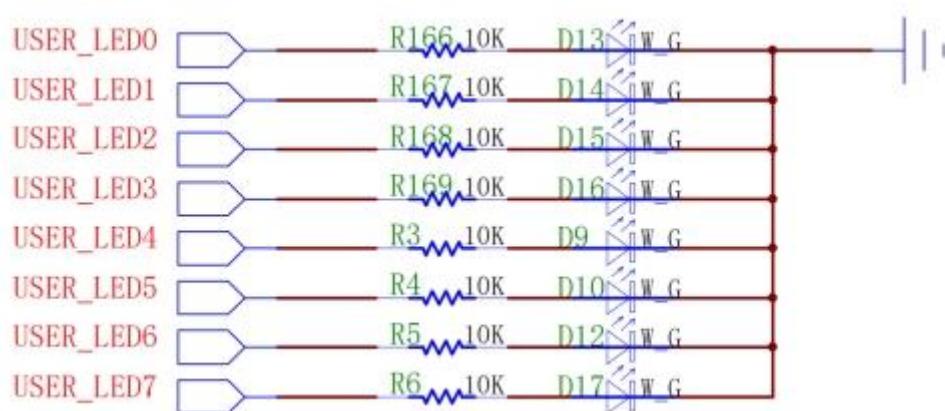
按键控制信号管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|--------------|--------|----------------|
| USER_BUTTON0 | 按键控制信号 | K21 |
| USER_BUTTON1 | | M21 |
| USER_BUTTON2 | | N20 |
| USER_BUTTON3 | | L21 |
| USER_BUTTON4 | | M20 |
| USER_BUTTON5 | | R19 |
| USER_BUTTON6 | | R18 |
| USER_BUTTON7 | | P20 |

3.4.2 LED 灯

MES2T484-70HP 开发板上扩展有 8 个用户 LED 灯, 连接在 PG2T70H 的 bank L6 上, FPGA 输出高电平时 LED 灯亮。

扩展板上 LED 灯功能电路图如下图所示:



LED 灯电路图

具体的管脚分配如下所示:

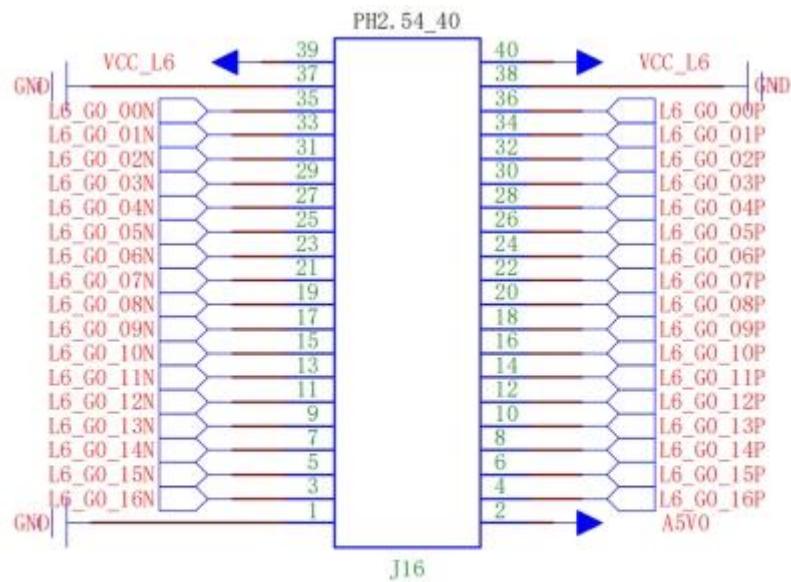
LED 控制信号管脚分配

| 信号 | 描述 | PG2T70H-484 管脚 |
|-----------|-----------|----------------|
| USER_LED0 | LED0 控制信号 | U16 |
| USER_LED1 | LED1 控制信号 | T16 |
| USER_LED2 | LED2 控制信号 | R16 |
| USER_LED3 | LED3 控制信号 | Y16 |
| USER_LED4 | LED4 控制信号 | W16 |
| USER_LED5 | LED5 控制信号 | Y14 |
| USER_LED6 | LED6 控制信号 | W14 |
| USER_LED7 | LED7 控制信号 | W15 |

3.5 40PIN 扩展口

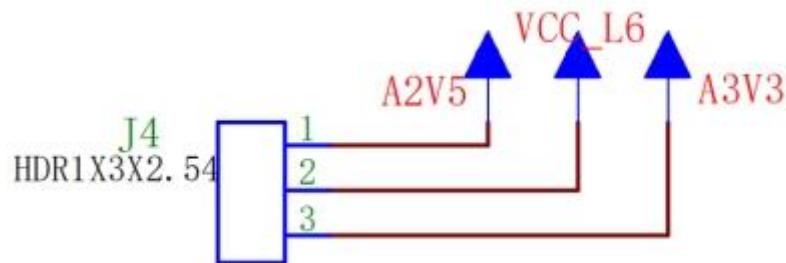
MES2T484-70HP 扩展底板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J16，用于连接各种外设模块，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。40PIN 扩展口 IO 连接至 FPGA 的 BANK L6 上，BANK L6 的供电电压默认为 3.3V，可通过跳线帽座连接 J4 处的不同针脚控制 BANK L6 的供电电压 VCC_L6 为 2.5V 还是 3.3V。

切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。如果要接 5V 设备，需要接电平转换芯片。



简牛座2. 54mm, 2*20pin

40PIN 电路图



J4 处电路图

具体的管脚分配如下表所示：

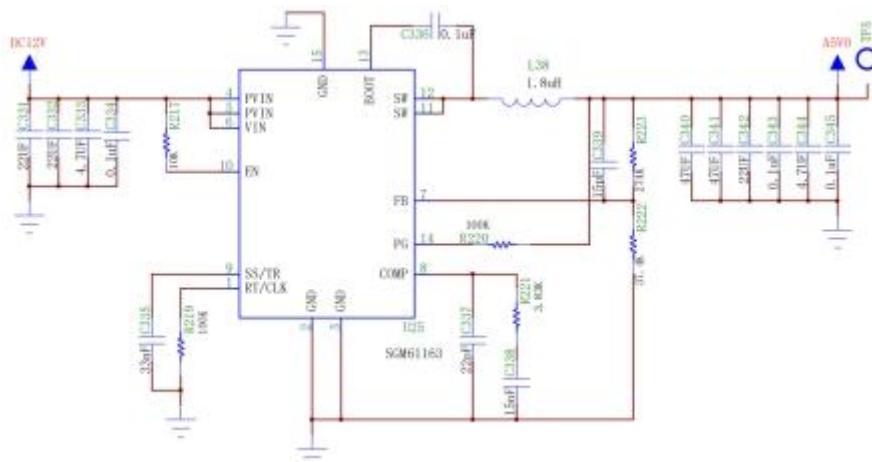
40PIN 扩展口管脚分配

| 40PIN管脚位号 | 信号名称 | PG2T70H-484管脚 | 40PIN管脚位号 | 信号名称 | PG2T70H-484管脚 |
|-----------|-----------|---------------|-----------|-----------|---------------|
| 1 | GND | / | 2 | 5V | / |
| 3 | L6_G0_16N | AB17 | 4 | L6_G0_16P | AA16 |
| 5 | L6_G0_15N | AB16 | 6 | L6_G0_15P | AB15 |
| 7 | L6_G0_14N | AB18 | 8 | L6_G0_14P | AA18 |

| | | | | | |
|----|-----------|------|----|-----------|------|
| 9 | L6_G0_13N | Y17 | 10 | L6_G0_13P | W17 |
| 11 | L6_G0_12N | Y19 | 12 | L6_G0_12P | Y18 |
| 13 | L6_G0_11N | W19 | 14 | L6_G0_11P | V19 |
| 15 | L6_G0_10N | W20 | 16 | L6_G0_10P | V20 |
| 17 | L6_G0_09N | AB20 | 18 | L6_G0_09P | AA19 |
| 19 | L6_G0_08N | AB22 | 20 | L6_G0_08P | AA21 |
| 21 | L6_G0_07N | AB21 | 22 | L6_G0_07P | AA20 |
| 23 | L6_G0_06N | Y22 | 24 | L6_G0_06P | Y21 |
| 25 | L6_G0_05N | U20 | 26 | L6_G0_05P | T20 |
| 27 | L6_G0_04N | V18 | 28 | L6_G0_04P | U17 |
| 29 | L6_G0_03N | W22 | 30 | L6_G0_03P | W21 |
| 31 | L6_G0_02N | U18 | 32 | L6_G0_02P | T18 |
| 33 | L6_G0_01N | V22 | 34 | L6_G0_01P | U22 |
| 35 | L6_G0_00N | U21 | 36 | L6_G0_00P | T21 |
| 37 | GND | / | 38 | GND | / |
| 39 | VCC_L6 | / | 40 | VCC_L6 | / |

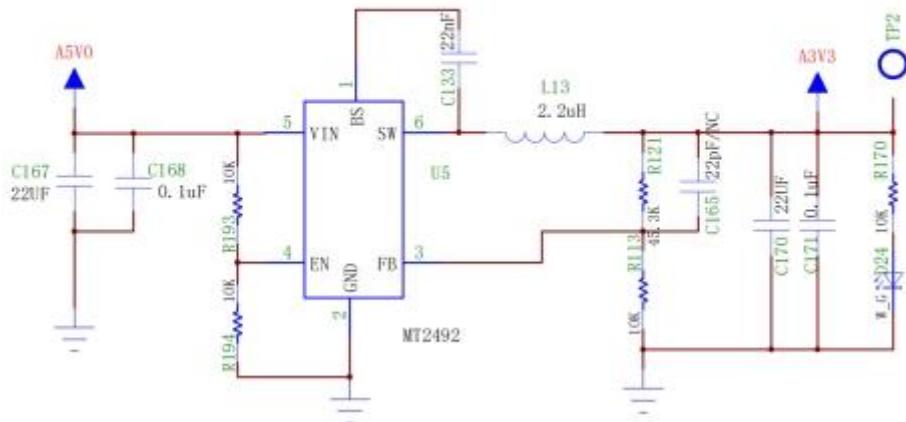
3.6 供电电源

MES2T484-70HP 开发板的电源输入电压为+12V, 请使用开发板自带的电源, 不要用其他规格的电源, 以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 SGM61163 把+12V 电压转化成+5V 电源, 最大输出电流 6A;另使用一路 DC/DC 电源芯片 MT2492 把+5V 转换出+3.3V 电源最大输出电流 2A 供外设接口使用; 扩展板上的+5V 电源通过板间连接器给核心板供电, 扩展板上电源设计如下图所示:



SGM61163 (12V 转 5V)

$$V_{out} = 0.6 * (1 + R1/R2)$$



MT2492(5V 转 3.3V)

3.7 底板尺寸

底板尺寸: 192.3mm * 106.9mm