

盘古 50KN 网口板 (MES50H-ETHERNET)

硬件使用手册 V1.1

紫光同创 logos 系列 FPGA 开发平台
版本日期：2024-1-5

Administrator: 深圳市小眼睛科技有限公司
联系邮箱: support@meyesemi.com
QQ 群: 808770961
公司网址: www.meyesemi.com
微信公众号: 小眼睛 FPGA
购买渠道: [小眼睛半导体](#)
客服微信: 17665247134

目录

1、 开发系统介绍	2
1.1 开发系统概述	2
1.2 开发系统简介	3
1.2.1 开发系统外设资源	3
1.2.2 开发系统功能框图	4
2、 核心板	5
2.1 核心板简介	5
2.2 核心板资源	6
2.2.1 FPGA	6
2.2.2 时钟	6
2.2.3 DDR3	8
2.2.4 FLASH	11
2.2.5 扩展接口	12
2.3 电源	18
2.4 尺寸结构图	19
3、 扩展底板	19
3.1 扩展底板简介	19
3.2 外接通信口	20
3.2.1 网口	20
3.2.2 SFP 光纤接口	22
3.2.3 JTAG	23
3.3 按键/指示灯	24
3.3.1 按键	24
3.3.2 Led 灯	26
3.5 扩展口	27
3.5.1 40pin 扩展口	27
3.6 供电电源	28
3.7 尺寸结构图	29

1、 开发系统介绍

1.1 开发系统概述

盘古 50KN 网口板开发板 (MES50H-Ethernet) 采用了核心板+扩展板的结构，核心板与扩展板之间使用高速板对板连接器进行连接。

核心板主要由 FPGA+2 颗 DDR3+Flash+电源及复位构成，承担了 FPGA 的最小系统运行及高速数据处理和存储的功能。FPGA 选用的是紫光同创 40nm 工艺的 FPGA (logos 系列: PGL50H-6IFBG484)；PGL50H 和 DDR3 之间的数据交互时钟频率最高到 400MHz，2 颗 DDR3 的数据位宽为 32bit，总数据带宽最高到 25600 (800 × 32) Mbps，充分满足了高速多路数据存储的需求；另外 PGL50H FPGA 带有 4 路 HSST 高速收发器，每路速度高达 6.375Gb/s，非常适合用于光纤通信数据通信；电源采用多颗 EZ8303 (艾诺) 来产生不同的电源电压。

底板为核心板扩展了丰富的外围接口，预留 HDMI 收发接口用于图像验证及处理；预留的光纤接口、8 路 10/100/1000M 以太网接口，方便各类高速通信系统验证；预留了一个 40pin 的 IO 扩展连接器，方便用户在开发平台基础上验证模块电路功能。

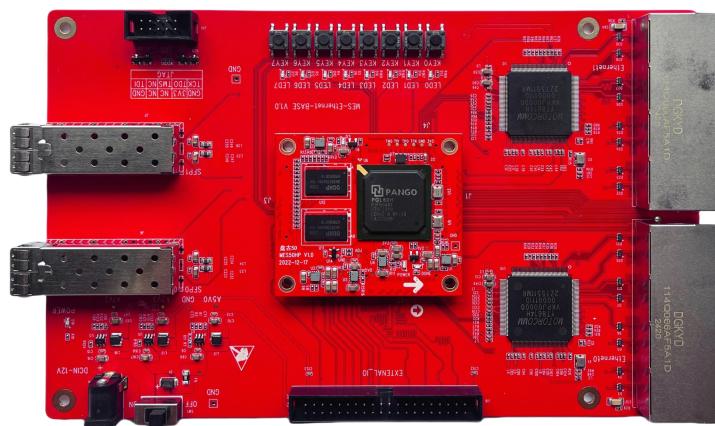


图 1-1

1.2 开发系统简介

1.2.1 开发系统外设资源

- ◆ 光纤接口*2
- ◆ Jtag 调试接口*1
- ◆ 按键 *8
- ◆ 10/100/1000M 以太网接口*8
- ◆ IO 扩展口*1
- ◆ LED *8

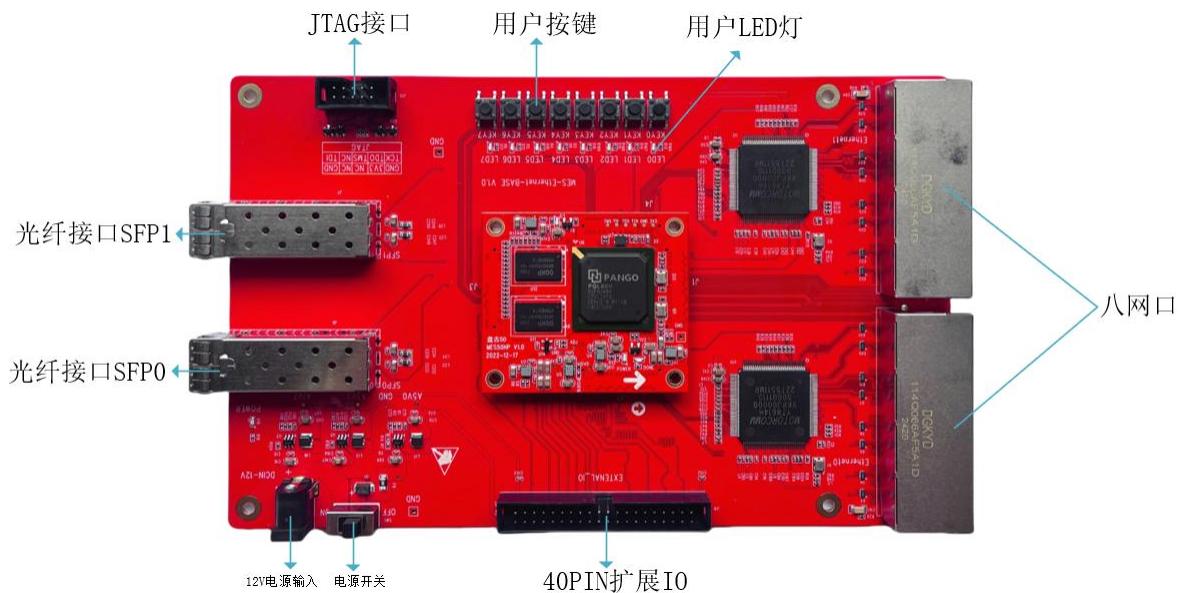


图 1-2

1.2.2 开发系统功能框图

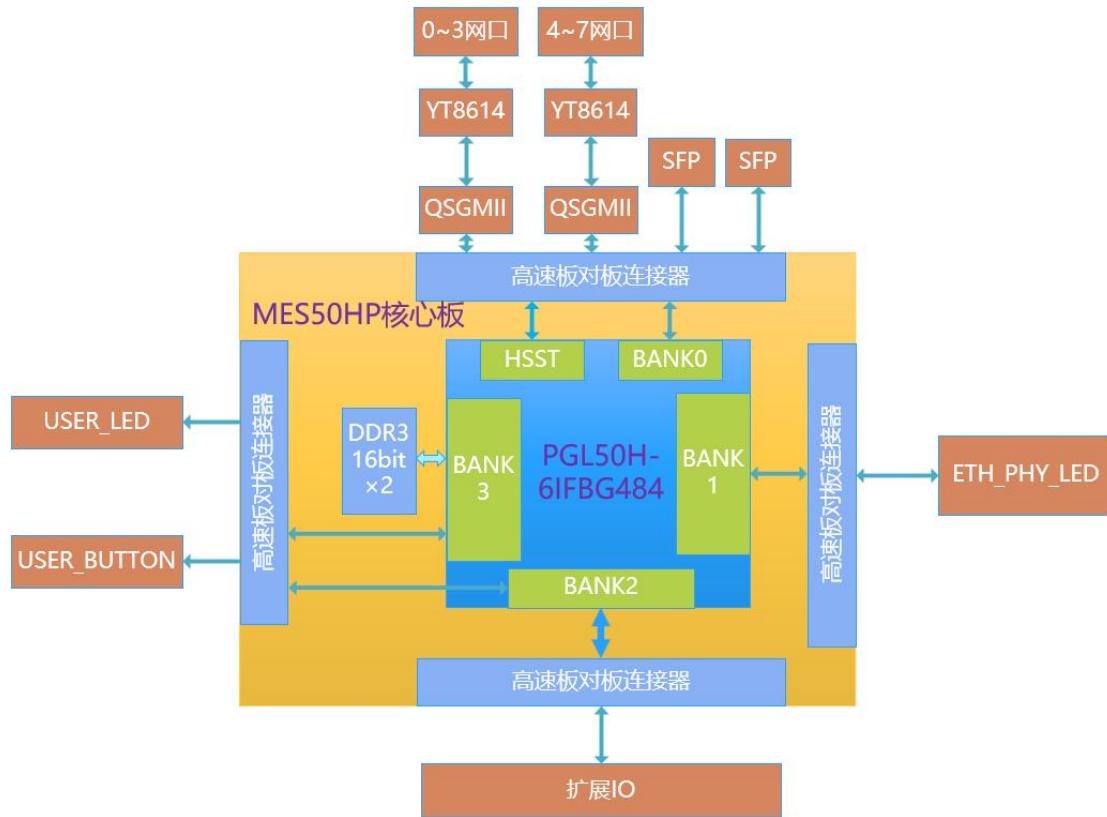


图 1-3 开发系统功能框图

综上描述，盘古 50KN 网口板开发平台可实现的功能细节如下：

◎ LogosFPGA 核心板

由 PGL50H+2 片 512MB DDR3+128MB QSPI FLASH 组成，另外板上有一个高精度的 50MHz 和 125MHz 晶振，为 FPGA 系统和高速串行收发器 HSST 模块提供稳定的时钟输入。

◎ 10/100M/1000M 以太网 RJ-45 接口 *8

网口 PHY 芯片采用 YT8614，YT8614 支持 10/100M/1000Mbps 网络传输数据率；支持全双工工作模式及数据率自适应。

◎ SFP 高速光纤接口 *2

Logos FPGA 的 HSST 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收，实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 6.375Gb/s。

◎ JTAG 接口

10 针 2.54mm 间距的双排排针口，用于 FPGA 程序的下载和调试。

◎ 40 针扩展口

预留 1 个 40 针 2.54mm 间距的扩展口，可以外接的各种模块。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，I/O 口 34 路。

◎ LED 灯

8 个用户发光二极管；

◎ 按键

8 个用户按键，1 个复位按键；

2、核心板

2.1 核心板简介

MES50H 核心板是基于紫光同创 logos 系列 FPGA (PGL50H-6IFBG484) 开发的高性能核心板，具有高数据带宽、高存储容量的特点，适用于高速数据通信、处理、采集等方面的应用。

这款核心板使用了 2 片启芯公司的 QN3B256M16H-16A::P 这款 DDR3 芯片，每片 DDR 的容量为 4Gbit；2 片 DDR 芯片组合成 32bit 的数据总线宽度，FPGA 和 DDR3 之间的读写数据带宽高达 25Gb；这样的配置可以满足高带宽的数据处理需求。

这款核心板扩展出 195 个默认电平标准为 3.3V 普通 IO 口，其中有 113 个 IO 电压标准可调，12 个 1.5V 电平标准的普通 IO 口，还有 4 对 HSST 高速 RX/TX 差分信号和 1 对 HSST 高速接口的参考输入时钟。对于需要大量 IO 的用户，此核心板将是不错的选择。而且，FPGA 芯片到接口之间走线做了等长和差分处理。核心板尺寸仅为 50*58 (mm)，对于二次开发来说非常适合。



图 1-4

2.2 核心板资源

2.2.1 FPGA

MES50H 核心板使用的 FPGA 型号为 PGL50H-6IFBG484，属于紫光同创公司 Logos 系列的产品，速度等级为 6，温度等级为工业级。此型号为 FBG484 封装，484 个引脚。紫光同创 LogosFPGA 的芯片命名规则如下：

Logos 系列FPGA产品型号的编号内容及意义如图1所示。

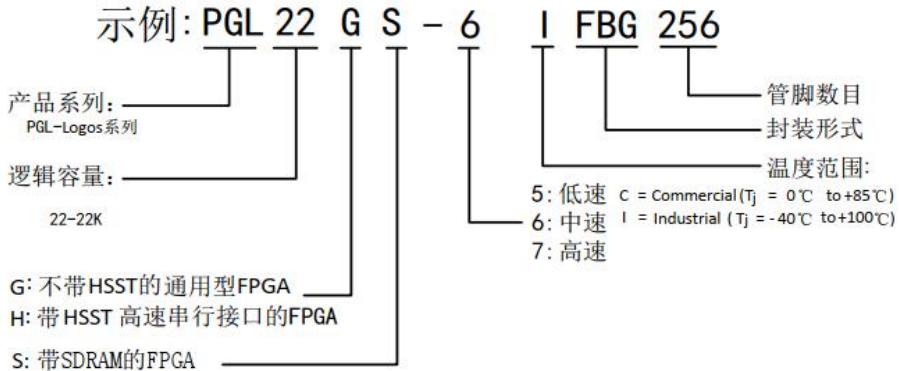


图 2-1 logos 系列 FPGA 命名规则

其中 FPGA 芯片 PGL50H 的主要参数如下所示：

表 2-1 PGL50H-6IFBG484 的主要参数

名称	具体参数
触发器(FF)	64200
查找表 LUT6(LUT6=1.5LUT4)	42800
DRM (18Kbits) 个数	134
APM 单元 (乘法器)	84
PCIe Gen2	1
HSSTLP	4 路, 6.375Gb/s max
速度等级	-6
温度等级	工业级

2.2.2 时钟

MES50H 核心板上配有 1 个 125MHz 有源差分晶振、1 个单端 50MHz 晶振和 1 个单端 27MHz 晶振。差分晶振用于 HSST 收发器的参考时钟输入；单端 50MHz 用于 FPGA 的系统时钟源。

2.2.2.1 125MHz 差分晶振

下图中的 U7 为 125M 有源差分晶振电路，此时钟是给 FPGA 内部的 HSST 模块提供的参考输入时钟。晶振输出连接到 FPGA HSST BANK 的时钟管脚上。

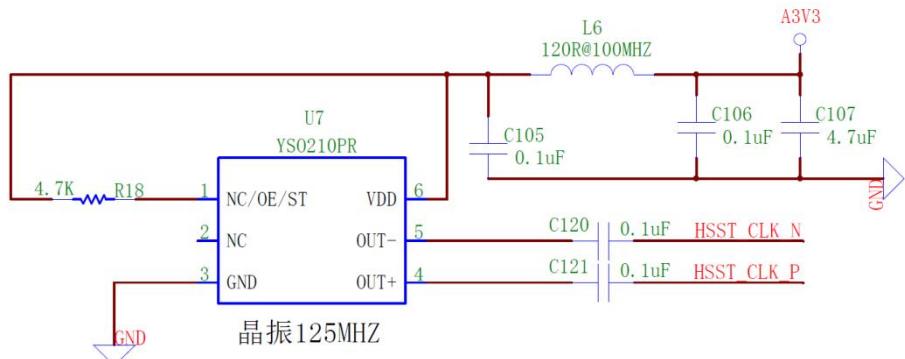


图 2-2 有源差分晶振原理图

表 2-2 125MHz 晶振

信号	PGL50H Pin
HSST_CLK_P	A10
HSST_CLK_N	B10

2.2.2.2 单端晶振

下图中的 U9 即为 50M 有源晶振电路，此时钟接到给 FPGA 内部的全局时钟管脚上，可为 FPGA 提供的参考输入时钟。

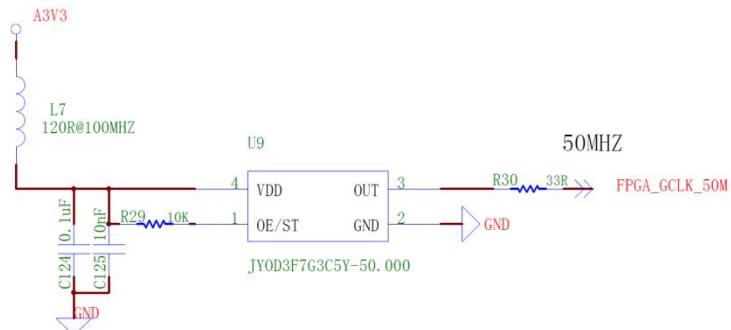


图 2-3 有源单端晶振 50M 原理图

下图中的 U13 即为 27M 有源晶振电路，此时钟接到给 FPGA 内部的全局时钟管脚上，可为 FPGA 提供的参考输入时钟。

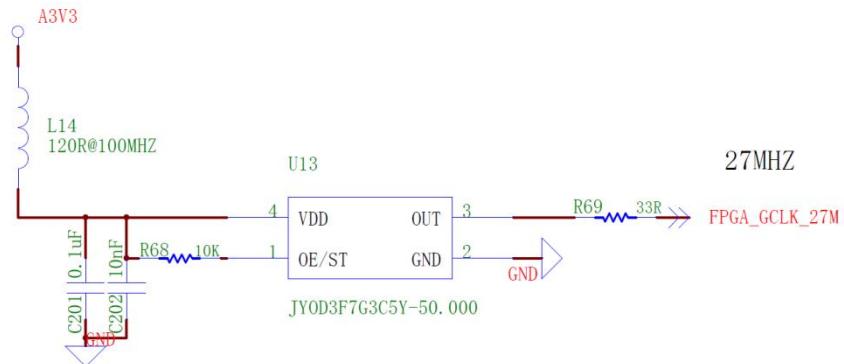


图 2-4 有源单端晶振 27M 原理图

具体管脚分配请看下表：

表 2-3 单端有源晶振

信号	PGL50H Pin
FPGA_GCLK_50M	P20
FPGA_GCLK_27M	K21

2.2.3 DDR3

MES50H 核心板上配有 2 个启芯公司的 4Gbit (512MB) 的 DDR3 芯片(共计 8Gbit),型号为 QN3B256M16H-16A:P (兼容 Micron MT41K256M16HA-125)。DDR 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行时钟速度可达 400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK B3, DDR3 DRAM 的硬件连接示意图如图 2.2 所示:

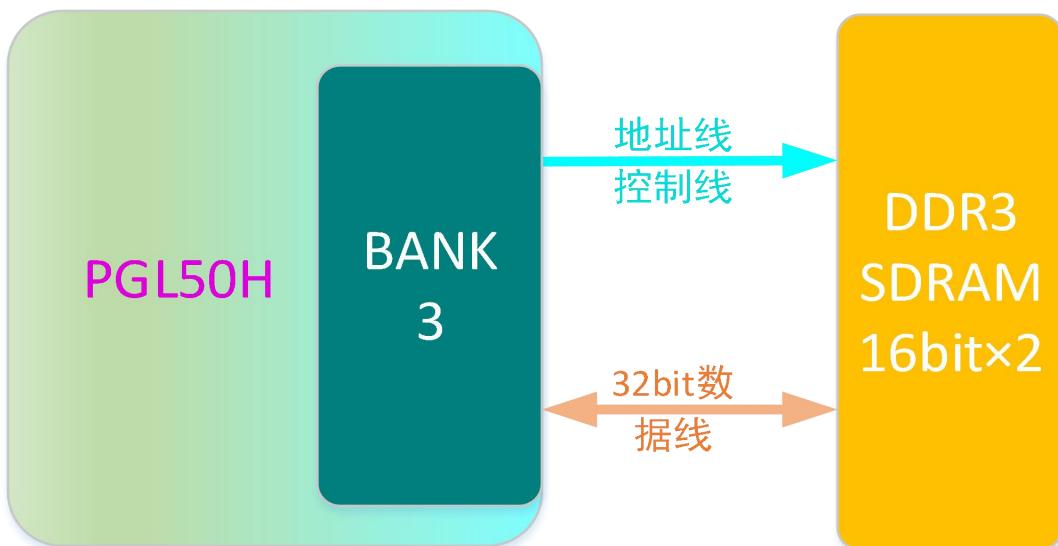


图 2-5 PGL50H 与 DDR 连接框图

PGL50H 内可运行 DDR 控制器最大支持位宽可达 32bit，速度高达 400MHz (800Mbps)。DDR3 使用 1.5V SSTL 接口标准，在 MES50H-Ethernet 开发板上 PGL50H 与 DDR3 紧密的排列在一起，保持连接和匹配。

DDR3 布线采用 50 欧姆走线阻抗用于单端信号，DCI 电阻 (VRP / VRN) 以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上都需要 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V，以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随，保持为 $\frac{1}{2}$ 倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出，等于 $\frac{1}{2}$ 倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的，可为 DDR 电平转换提供更清晰的参考。

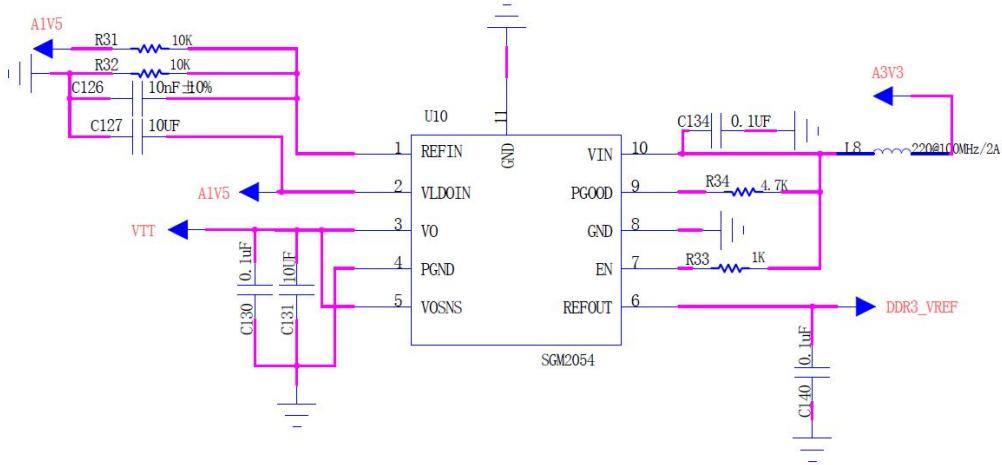


图 2-6 DDR3 参考电压及上拉跟随电压原理图

该 DDR3 存储系统直接连接到了 PGL50H 的 Bank 3 上；DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制，走线等长控制，保证 DDR3 的高速稳定的工作。

DDR3 的具体管脚分配如下：

表 2-4PGL50H 上 DDR3 连接引脚分配表

信号名称	PGL50H 管脚	信号名称	PGL50H 管脚
ddr3_addr[0]	N6	ddr3_addr[14]	T3
ddr3_addr[1]	R4	ddr3_addr[15]	R7
ddr3_addr[2]	P6	ddr3_ba[0]	F5
ddr3_addr[3]	F3	ddr3_ba[1]	W4

ddr3_addr[4]	V5	ddr3_ba[2]	N7
ddr3_addr[5]	E4	ddr3_cas_n	H8
ddr3_addr[6]	V3	ddr3_ck_n	T5
ddr3_addr[7]	D2	ddr3_ck_p	T6
ddr3_addr[8]	U4	ddr3_cke	Y3
ddr3_addr[9]	P5	ddr3_cs_n	G6
ddr3_addr[10]	P8	ddr3_odt	G7
ddr3_addr[11]	T4	ddr3_ras_n	J7
ddr3_addr[12]	P7	ddr3_reset_n	C1
ddr3_addr[13]	P4	ddr3_we_n	H6
ddr3_dm[0]	W3	ddr3_dm[2]	K2
ddr3_dm[1]	L1	ddr3_dm[3]	G1
ddr3_dq[0]	U1	ddr3_dq[16]	K4
ddr3_dq[1]	U3	ddr3_dq[17]	K1
ddr3_dq[2]	T2	ddr3_dq[18]	J3
ddr3_dq[3]	Y2	ddr3_dq[19]	L4
ddr3_dq[4]	T1	ddr3_dq[20]	K3
ddr3_dq[5]	Y1	ddr3_dq[21]	M3
ddr3_dq[6]	M7	ddr3_dq[22]	J1
ddr3_dq[7]	W1	ddr3_dq[23]	M4
ddr3_dq[8]	P1	ddr3_dq[24]	J6
ddr3_dq[9]	M2	ddr3_dq[25]	F1
ddr3_dq[10]	R1	ddr3_dq[26]	K7
ddr3_dq[11]	M1	ddr3_dq[27]	F2
ddr3_dq[12]	P2	ddr3_dq[28]	H5
ddr3_dq[13]	L3	ddr3_dq[29]	H3
ddr3_dq[14]	P3	ddr3_dq[30]	J4
ddr3_dq[15]	N4	ddr3_dq[31]	G3
ddr3_dqs_p[0]	V2	ddr3_dqs_n[0]	V1

ddr3_dqs_p[1]	N3	ddr3_dqs_n[1]	N1
ddr3_dqs_P[2]	M6	ddr3_dqs_n[2]	L6
ddr3_dqs_P[3]	E3	ddr3_dqs_n[3]	E1

2.2.4 FLASH

MES50H-Ethernet 开发板具有 4 位 SPI (QSPI) 串行 Nor 闪存，使用的是兆易创新的 GD25Q128E/华邦 W25Q256JV。连接在 PGL50H 的特定引脚上，采用 3.3V 电平标准。

QSPI 的电路连接如下：

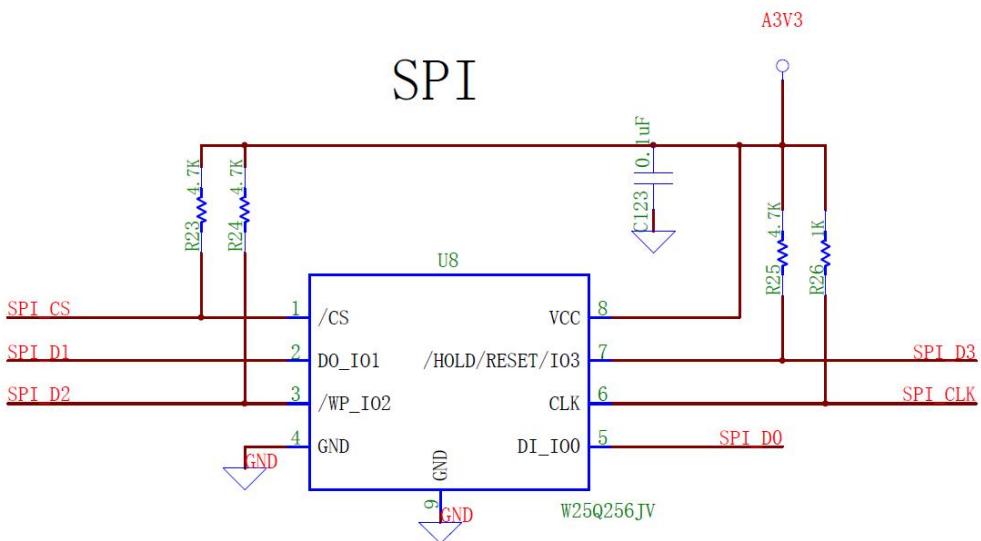


图 2-7 Flash 电路图

管脚分配如下

表 2-5 QSPI Flash 引脚图

信号	描述	PGL50H Pin	QSPI Pin
CS	片选	AA3	1
DQ0	数据位 0	AB20	5
DQ1	数据位 1	AA20	2
DQ2	数据位 2	R13	3
DQ3	数据位 3	T14	7
SCK	串行数据时钟	Y20	6

2.2.5 扩展接口

核心板的背面一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器和底板连接。FPGA 的 IO 口通过差分走线方式连接到这 4 个扩展口上。连接器的 PIN 脚间距为 0.5mm，和底板的母座连接器配置实现高速数据通信。

扩展接口 1: J2

80Pin 的连接器 J2 用来扩展 FPGA 的 BANK B1 的普通 IO，B1 的电压标准是 3.3V 的，J2 扩展口的管脚分配如下表所示：

表 2-6 J2 引脚图

J2 管脚	信号名称	FPGA 管脚	电平标准	J2 管脚	信号名称	FPGA 管脚	电平标准
Pin1	B1_L36_P	W20	3.3V	Pin2	B1_L37_P	Y21	3.3V
Pin3	B1_L36_N	W22	3.3V	Pin4	B1_L37_N	Y22	3.3V
Pin5	B1_L34_P	U20	3.3V	Pin6	B1_L35_P	V21	3.3V
Pin7	B1_L34_N	U22	3.3V	Pin8	B1_L35_N	V22	3.3V
Pin9	GND	\	地	Pin10	GND	\	地
Pin11	B1_L41_P	U19	3.3V	Pin12	B1_L33_P	T21	3.3V
Pin13	B1_L41_N	T20	3.3V	Pin14	B1_L33_N	T22	3.3V
Pin15	B1_L31_P	P21	3.3V	Pin16	B1_L32_P	R20	3.3V
Pin17	B1_L31_N	P22	3.3V	Pin18	B1_L32_N	R22	3.3V
Pin19	GND	\	地	Pin20	GND	\	地
Pin21	B1_L52_P	P17	3.3V	Pin22	B1_L38_N	R19	3.3V
Pin23	B1_L52_N	P18	3.3V	Pin24	B1_L38_P	P19	3.3V
Pin25	B1_L25_N	M19	3.3V	Pin26	B1_L29_P	M21	3.3V
Pin27	B1_L25_P	M20	3.3V	Pin28	B1_L29_N	M22	3.3V
Pin29	GND	\	地	Pin30	GND	\	地
Pin31	B1_L30_P	N20	3.3V	Pin32	B1_L43_P	M17	3.3V
Pin33	B1_L30_N	N22	3.3V	Pin34	B1_L43_N	M18	3.3V
Pin35	B1_L42_N	P16	3.3V	Pin36	B1_L40_P	M16	3.3V
Pin37	B1_L42_P	N16	3.3V	Pin38	B1_L40_N	N15	3.3V
Pin39	B1_L28_P	L20	3.3V	Pin40	B1_L23_N	L19	3.3V
Pin41	B1_L28_N	L22	3.3V	Pin42	B1_L23_P	K20	3.3V
Pin43	B1_L19_P	K19	3.3V	Pin44	B1_L21_N	L17	3.3V

Pin45	B1_L19_N	K18	3.3V		Pin46	B1_L21_P	K17	3.3V
Pin47	B1_L39_P	L15	3.3V		Pin48	B1_IO_N19	N19	3.3V
Pin49	B1_L39_N	K16	3.3V		Pin50	B1_L24_N	J22	3.3V
Pin51	B1_L11_N	J17	3.3V		Pin52	B1_L24_P	J20	3.3V
Pin53	B1_L11_P	J16	3.3V		Pin54	B1_IO_K22	K22	3.3V
Pin55	B1_L18_P	J19	3.3V		Pin56	B1_L22_P	H21	3.3V
Pin57	B1_L18_N	H20	3.3V		Pin58	B1_L22_N	H22	3.3V
Pin59	B1_L1_N	H17	3.3V		Pin60	B1_L15_N	H19	3.3V
Pin61	B1_L1_P	H16	3.3V		Pin62	B1_L15_P	H18	3.3V
Pin63	GND	\	地		Pin64	GND	\	地
Pin65	B1_L14_P	G19	3.3V		Pin66	B1_L20_N	G22	3.3V
Pin67	B1_L14_N	F20	3.3V		Pin68	B1_L20_P	G20	3.3V
Pin69	B1_L0_N	F19	3.3V		Pin70	B1_L16_N	F22	3.3V
Pin71	B1_L0_P	F18	3.3V		Pin72	B1_L16_P	F21	3.3V
Pin73	B1_L13_N	D22	3.3V		Pin74	B1_L17_N	E22	3.3V
Pin75	B1_L13_P	D21	3.3V		Pin76	B1_L17_P	E20	3.3V
Pin77	B1_L2_N	B22	3.3V		Pin78	B1_L12_N	C22	3.3V
Pin79	B1_L2_P	B21	3.3V		Pin80	B1_L12_P	C20	3.3V

扩展接口 2: J3

80Pin 的连接器 J3 用来连接底板的 VCCIN 电源(+5V), 地和 FPGA 的 BANK2 及 BANK1 的普通 IO, B2 的 IO 口的电压标准是 3.3V 的, 如果用户想输出其它标准的电平, 可以通过修改电源进行, J3 扩展口的管脚分配如下表所示:

表 2-7 J3 引脚图

J3 管脚	信号名称	FPGA 管脚	电平标准	J3 管脚	信号名称	FPGA 管脚	电平标准
Pin1	A5V0	\	+5V	Pin2	A5V0	\	+5V
Pin3	A5V0	\	+5V	Pin4	A5V0	\	+5V
Pin5	A5V0	\	+5V	Pin6	A5V0	\	+5V
Pin7	A5V0	\	+5V	Pin8	A5V0	\	+5V
Pin9	GND	\	地	Pin10	GND	\	
Pin11	A3V3_JTAG	\		Pin12	GND	\	
Pin13	B2_L13_P	U9	3.3V	Pin14	B2_L20_P	Y9	3.3V

Pin15	B2_L13_N	V9	3.3V		Pin16	B2_L20_N	AB9	3.3V
Pin17	B2_L17_P	T10	3.3V		Pin18	B2_L29_P	R11	3.3V
Pin19	B2_L17_N	U10	3.3V		Pin20	B2_L29_N	T11	3.3V
Pin21	GND				Pin22	GND		
Pin23	B2_L19_P	W10	3.3V		Pin24	B2_L22_P	AA10	3.3V
Pin25	B2_L19_N	Y10	3.3V		Pin26	B2_L22_N	AB10	3.3V
Pin27	B2_L21_P	V11	3.3V		Pin28	B2_L24_P	Y11	3.3V
Pin29	B2_L21_N	W11	3.3V		Pin30	B2_L24_N	AB11	3.3V
Pin31	GND				Pin32	GND		
Pin33	B2_L27_N	U12	3.3V		Pin34	B2_L23_N	Y12	3.3V
Pin35	B2_L27_P	T12	3.3V		Pin36	B2_L23_P	W12	3.3V
Pin37	B2_L25_N	AB12	3.3V		Pin38	B2_L26_N	AB13	3.3V
Pin39	B2_L25_P	AA12	3.3V		Pin40	B2_L26_P	Y13	3.3V
Pin41	GND				Pin42	GND		
Pin43	B2_L33_N	W13	3.3V		Pin44	B2_L35_N	U13	3.3V
Pin45	B2_L33_P	V13	3.3V		Pin46	B2_L35_P	U14	3.3V
Pin47	B2_L31_N	Y14	3.3V		Pin48	B2_L28_N	U15	3.3V
Pin49	B2_L31_P	W14	3.3V		Pin50	B2_L28_P	T15	3.3V
Pin51	GND				Pin52	GND		
Pin53	B2_L45_N	AB14	3.3V		Pin54	B2_L34_N	W15	3.3V
Pin55	B2_L45_P	AA14	3.3V		Pin56	B2_L34_P	Y16	3.3V
Pin57	B2_L47_N	V15	3.3V		Pin58	B2_L32_N	AB16	3.3V
Pin59	B2_L47_P	U16	3.3V		Pin60	B2_L32_P	AA16	3.3V
Pin61	B2_L30_N	AB15	3.3V		Pin62	B2_L36_N	AB17	3.3V
Pin63	B2_L30_P	Y15	3.3V		Pin64	B2_L36_P	Y17	3.3V
Pin65	B2_L46_P	W17	3.3V		Pin66	B2_L53_P	V17	3.3V
Pin67	B2_L46_N	Y18	3.3V		Pin68	B2_L53_N	W18	3.3V
Pin69	B2_L37_N	AB18	3.3V		Pin70	B2_IO_AB19	AB19	3.3V
Pin71	B2_L37_P	AA18	3.3V		Pin72	B1_L53_N	T17	3.3V
Pin73	B1_L51_P	R15	3.3V		Pin74	B1_L53_P	R17	3.3V
Pin75	B1_L51_N	R16	3.3V		Pin76	B1_L55_P	V19	3.3V
Pin77	B1_L54_N	T18	3.3V		Pin78	B1_L55_N	V20	3.3V
Pin79	B1_L54_P	T19	3.3V		Pin80	GND		

扩展接口 3: J4

80Pin 的连接器 J4 用来连接底板的 VCCIN 电源(+5V), 地和 FPGA 的 BANK2 及 BANK3 的普通 IO, B2 的 IO 口的电压标准是 3.3V 的, 如果用户想输出其它标准的电平, 可以通过修改电源进行, Bank3 由于挂载了 DDR3, 所以 IO 口的电压标准固定为 1.5V, J4 扩展口的管脚分配如下表所示:

表 2-8 J4 引脚图

J4 管脚	信号名称	FPGA 管脚	电平标准	J4 管脚	信号名称	FPGA 管脚	电平标准
Pin1	A5V0	\	+5V	Pin2	A5V0	\	+5V
Pin3	A5V0	\	+5V	Pin4	A5V0	\	+5V
Pin5	A5V0	\	+5V	Pin6	A5V0	\	+5V
Pin7	A5V0	\	+5V	Pin8	A5V0	\	+5V
Pin9	GND	\	地	Pin10	GND	\	地
Pin11	B3_L52_N	AA1	1.5V	Pin12	NC	\	
Pin13	B3_L52_P	AA2	1.5V	Pin14	REST	\	3.3V
Pin15	B2_L3_N	AB4	3.3V	Pin16	B2_L4_N	AB5	3.3V
Pin17	B2_L3_P	AA4	3.3V	Pin18	B2_L4_P	Y5	3.3V
Pin19	GND	\	地	Pin20	GND	\	地
Pin21	B2_L14_N	AB6	3.3V	Pin22	B2_L5_N	Y6	3.3V
Pin23	B2_L14_P	AA6	3.3V	Pin24	B2_L5_P	W6	3.3V
Pin25	B2_L16_N	AB7	3.3V	Pin26	B2_L18_N	AB8	3.3V
Pin27	B2_L16_P	Y7	3.3V	Pin28	B2_L18_P	AA8	3.3V
Pin29	GND	\	地	Pin30	GND	\	地
Pin31	B2_L15_N	Y8	3.3V	Pin32	B2_L7_N	W8	3.3V
Pin33	B2_L15_P	W9	3.3V	Pin34	B2_L7_P	V7	3.3V
Pin35	B2_L2_P	T7	3.3V	Pin36	B2_L8_N	U8	3.3V
Pin37	B2_L2_N	U6	3.3V	Pin38	B2_L8_P	T8	3.3V
Pin39	GND	\		Pin40	GND	\	
Pin41	B2_L6_N	R8	3.3V	Pin42	B3_IO_R3	R3	1.5V
Pin43	B2_L6_P	R9	3.3V	Pin44	B3_IO_M5	M5	1.5V
Pin45	GND	\	地	Pin46	GND	\	地
Pin47	NC	\		Pin48	NC	\	
Pin49	GND	\	地	Pin50	GND	\	
Pin51	NC	\		Pin52	NC	\	

Pin53	GND	\	地		Pin54	GND	\	地
Pin55	NC	\			Pin56	NC	\	
Pin57	NC	\			Pin58	NC	\	
Pin59	GND	\	地		Pin60	GND	\	地
Pin61	NC	\			Pin62	NC	\	
Pin63	NC	\			Pin64	NC	\	
Pin65	GND	\	地		Pin66	GND	\	地
Pin67	NC	\			Pin68	NC	\	
Pin69	GND	\	地		Pin70	GND	\	地
Pin71	NC	\			Pin72	B3_L19_N	H1	1.5V
Pin73	B3_IO_B1	B1	1.5V		Pin74	B3_L19_P	H2	1.5V
Pin75	B3_L39_N	G4	1.5V		Pin76	B3_L20_P	K6	1.5V
Pin77	B3_L39_P	H4	1.5V		Pin78	B3_L20_N	K5	1.5V
Pin79	GND	\	地		Pin80	GND	\	地

扩展接口 4:J5

80Pin 的连接器 J5 用来扩展 FPGA 的 BANK B0 的普通 IO 和 HSST 的高速数据和时钟信号。B0 的 IO 口的电压标准可以通过修改电源电阻的阻值调整，默认是 3.3V，如果用户想输出其它标准的电平，可以通过修改电源进行。HSST 的高速数据和时钟信号在核心板上严格差分走线，数据线等长及保持一定的间隔，防止信号干扰。J5 扩展口的管脚分配如表 2-7-4 所示：

表 2-9 J5 引脚图

J5 管脚	信号名称	FPGA 管脚	电平 标准	J5 管脚	信号名称	FPGA 管脚	电平 标准
Pin1	B0_L1_P	D4	3.3V	Pin2	B0_L2_P	B2	3.3V
Pin3	B0_L1_N	D5	3.3V	Pin4	B0_L2_N	A2	3.3V
Pin5	B0_L6_P	C4	3.3V	Pin6	B0_L4_P	B3	3.3V
Pin7	B0_L6_N	A4	3.3V	Pin8	B0_L4_N	A3	3.3V
Pin9	B0_L3_P	E5	3.3V	Pin10	B0_L9_P	C5	3.3V
Pin11	B0_L3_N	E6	3.3V	Pin12	B0_L9_N	A5	3.3V
Pin13	GND	\	地	Pin14	GND	\	地
Pin15	MGT_TX0_P	B6	差分	Pin16	MGT_RX0_P	D7	差分

Pin17	MGT_TX0_N	A6	差分	Pin18	MGT_RX0_N	C7	差分
Pin19	GND	\	地	Pin20	GND	\	地
Pin21	MGT_TX1_P	B8	差分	Pin22	MGT_RX1_P	D9	差分
Pin23	MGT_TX1_N	A8	差分	Pin24	MGT_RX1_N	C9	差分
Pin25	GND	\	地	Pin26	GND	\	地
Pin27	MGT_CLK_P	A12	差分	Pin28	MGT_TX2_N	A14	差分
Pin29	MGT_CLK_N	B12	差分	Pin30	MGT_TX2_P	B14	差分
Pin31	GND	\	地	Pin32	GND	\	地
Pin33	MGT_RX2_N	C13	差分	Pin34	MGT_RX3_N	A16	差分
Pin35	MGT_RX2_P	D13	差分	Pin36	MGT_RX3_P	B16	差分
Pin37	GND	\	地	Pin38	GND	\	地
Pin39	MGT_RX3_N	C15	差分	Pin40	B0_L7_P	F7	差分
Pin41	MGT_RX3_P	D15	差分	Pin42	B0_L7_N	F8	差分
Pin43	GND	\	地	Pin44	GND	\	地
Pin45	B0_L10_P	G8	3.3V	Pin46	B0_L13_P	G9	3.3V
Pin47	B0_L10_N	F9	3.3V	Pin48	B0_L13_N	F10	3.3V
Pin49	B0_L11_P	H10	3.3V	Pin50	B0_L14_N	G11	3.3V
Pin51	B0_L11_N	H11	3.3V	Pin52	B0_L14_P	H12	3.3V
Pin53	B0_L17_N	G13	3.3V	Pin54	B0_L23_P	H14	3.3V
Pin55	B0_L17_P	H13	3.3V	Pin56	B0_L23_N	G15	3.3V
Pin57	B0_L15_P	F14	3.3V	Pin58	B0_L16_P	E16	3.3V
Pin59	B0_L15_N	F15	3.3V	Pin60	B0_L16_N	F16	3.3V
Pin61	GND			Pin62	GND		
Pin63	B0_L25_P	G16	3.3V	Pin64	B0_L24_N	A17	3.3V
Pin65	B0_L25_N	F17	3.3V	Pin66	B0_L24_P	C17	3.3V
Pin67	B0_L30_P	D17	3.3V	Pin68	B0_L26_P	D18	3.3V
Pin69	B0_L30_N	C18	3.3V	Pin70	B0_L26_N	D19	3.3V
Pin71	B0_L27_N	A18	3.3V	Pin72	B0_L28_N	A19	3.3V
Pin73	B0_L27_P	B18	3.3V	Pin74	B0_L28_P	C19	3.3V
Pin75	B0_L29_P	B20	3.3V	Pin76	B0_L29_N	A20	3.3V
Pin77	TDI	E18	3.3V	Pin78	TCK	A21	3.3V
Pin79	TMS	D20	3.3V	Pin80	TDO	G17	3.3V

2.3 电源

MES50HP 核心板供电电压为 VCCIN，输入电压为 5V，需通过板对板连接器供电，连接底板时通过底板供电。板上的电源设计示意图如下图所示：

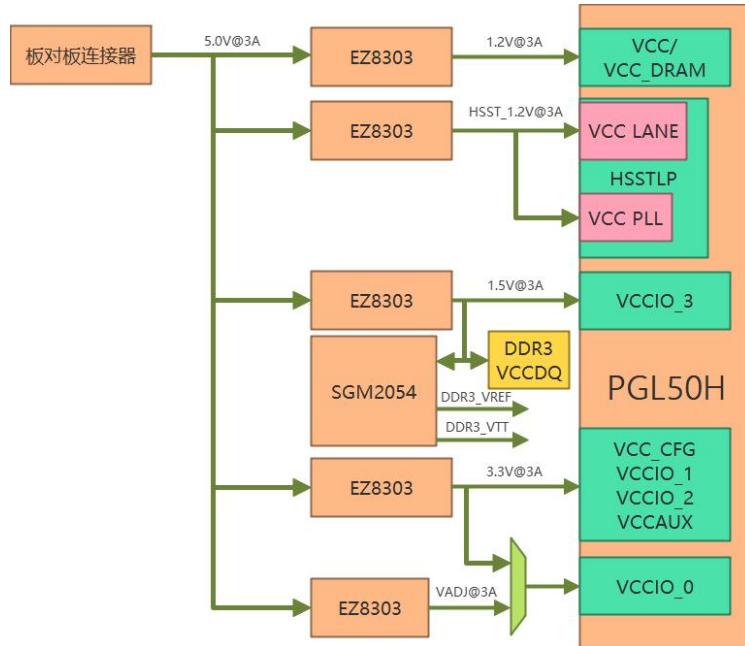


图 2-8 核心板电源树

核心板通过+5V 供电，通过 4 路 DC/DC 艾诺电源芯片 EZ8303 转化成+3.3V，+1.5V，HSST_VCC12、+1.2V 4 路电源，4 路输出电流可高达 3A。其中 VCCADJ 产生 VCCIO 的电压可调，VCCADJ 主要是对 FPGA 的 B0 进行供电，用户可以通过修改电源电阻的阻值调整电压，使得 B0 的 IO 适应不同的电压标准。HSST_VCC12 是高速收发器的 PLL 及通道电源。1.5V 通过圣邦微的 SGM2054 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

表 2-10 各路电源功能

电源	功能用途
5.0V	输入电源
1.2V	PGL50H 的内核电压
3.3V	I/O 电压，辅助电源，部分接口（晶振，FLASH）供电电压
VADJ	可调 I/O 电压
1.5V	DDR3 供电电压，PGL50H Bank 3 电源
VTT(0.75V)	DDR3 控制线与地址线的上拉电压，保持信号完整性
VREF(0.75V)	DDR3 参考电压
HSST_1.2V	PGL50H HSST 收发器通道及锁相环电源

2.4 尺寸结构图

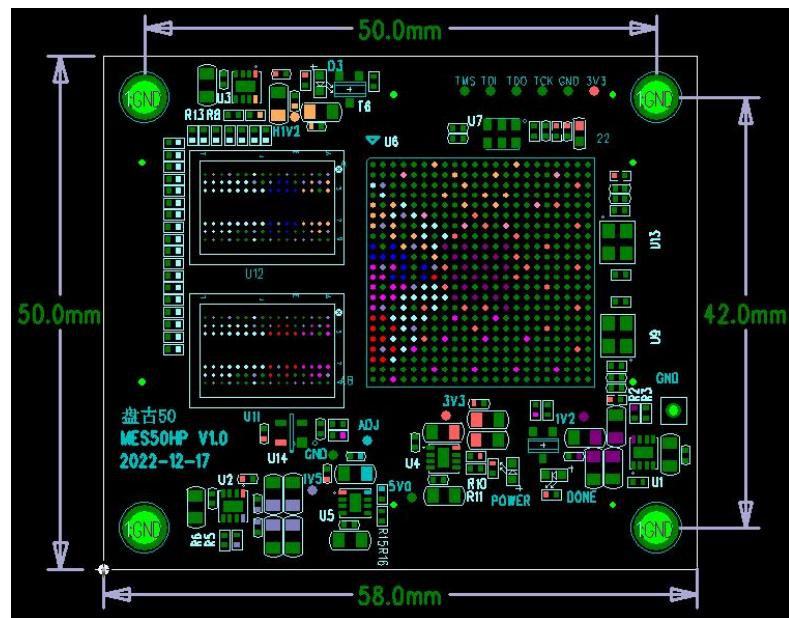


图 2-9 核心板尺寸结构图

3、扩展底板

3.1 扩展底板简介

通过前面开发系统的介绍可知，扩展底板的外设资源如下：

- ◆ 光纤接口*2
- ◆ Jtag 调试接口*1
- ◆ 按键 *8
- ◆ 10/100/1000M 以太网接口*8
- ◆ 40 pin IO 扩展口*1
- ◆ LED *8

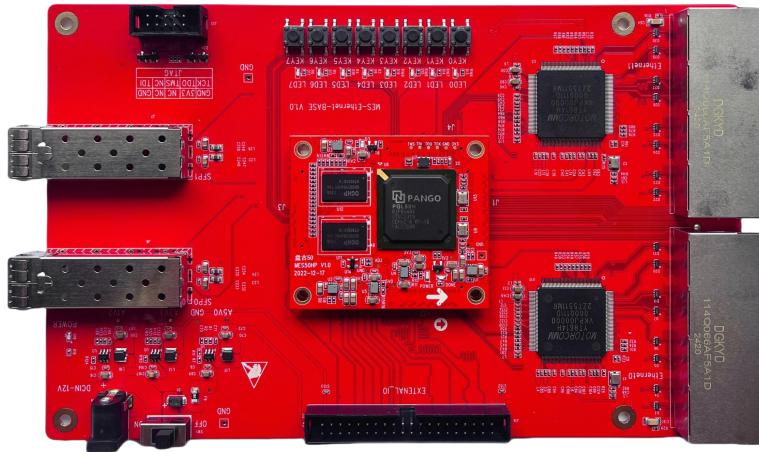


图 3-1

3.2 外接通信口

3.2.1 网口

MES50H-Ethernet 开发板使用 YT8614 PHY 实现了 QSGMII 转四个 10/100/1000 以太网端口，用于网络连接。该器件工作电压为支持 2.5V、3.3V。PHY 连接到 BANK R3，并通过 QSGMII 接口连接到 PGL50H。RJ-45 连接器是 HFJ11-1G01E-L12RL，具有集成的自动缠绕磁性元件，可提高性能，质量和可靠性。RJ-45 有两个状态指示灯 LED，用于指示流量和有效链路状态。

下图显示了 MES50H-Ethernet 开发板上的网口连接框图。

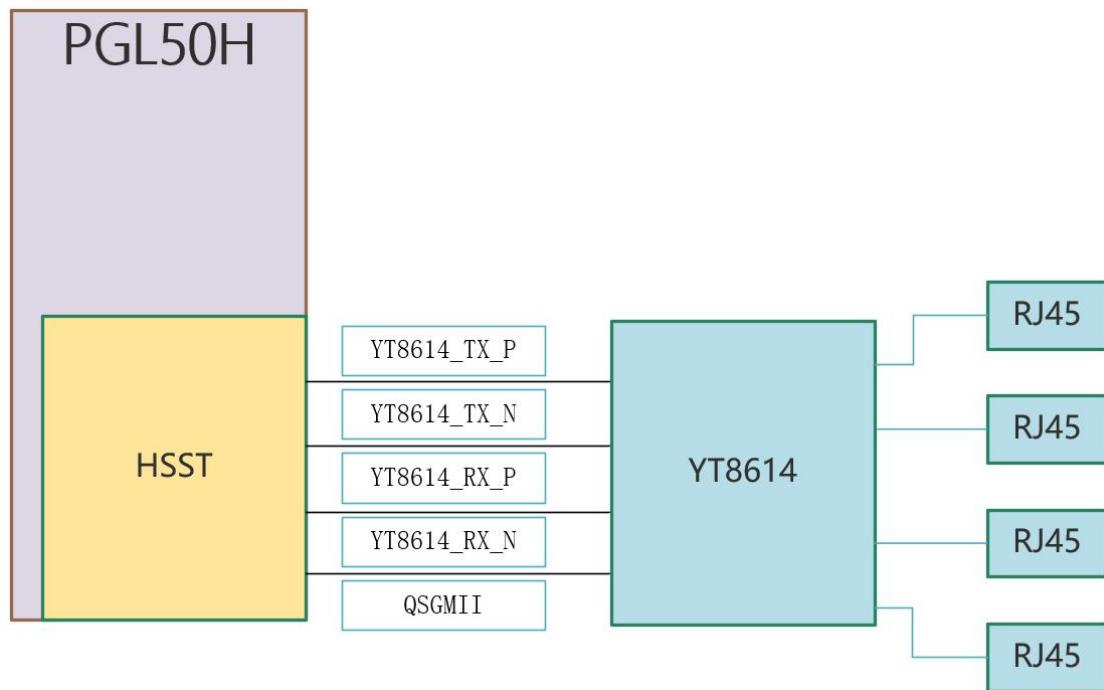


图 3-2 YT8614 连接示例

下表为 YT(YT8614) 对应 PGL50H 的管脚连接。

表 3-1 PGL50H 连接 YT8614 引脚情况

信号名称	描述	PGL50H 管脚
YT8614_S0TX_P	YT0 数据发送 P 端	F14
YT8614_S0TX_N	YT0 数据发送 N 端	F9
YT8614_S0RX_P	YT0 数据接收 P 端	H13
YT8614_S0RX_N	YT0 数据接收 N 端	G13
YT8614_SYNCE0	YT0 同步信号 0	V19
YT8614_SYNCE1	YT0 同步信号 1	V20
YT8614_S1TX_P	YT1 数据发送 P 端	B16
YT8614_S1TX_N	YT1 数据发送 N 端	A16
YT8614_S1RX_P	YT1 数据接收 P 端	D15
YT8614_S1RX_N	YT1 数据接收 N 端	C15
YT8614_SYNCE0_1	YT1 同步信号 0	G16
YT8614_SYNCE1_1	YT1 同步信号 1	F17

3.2.2 SFP 光纤接口

MES50H-Ethernet 板上有 2 路光纤接口，用户可以购买光模块插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 FPGA 的 HSST 收发器的 2 路 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块，每路 TX 发送和 RX 接收数据速率高达 6.375Gb/s。HSST 收发器的参考时钟由板载的 125M 差分晶振提供。

FPGA 和光纤设计示意图如下图所示：

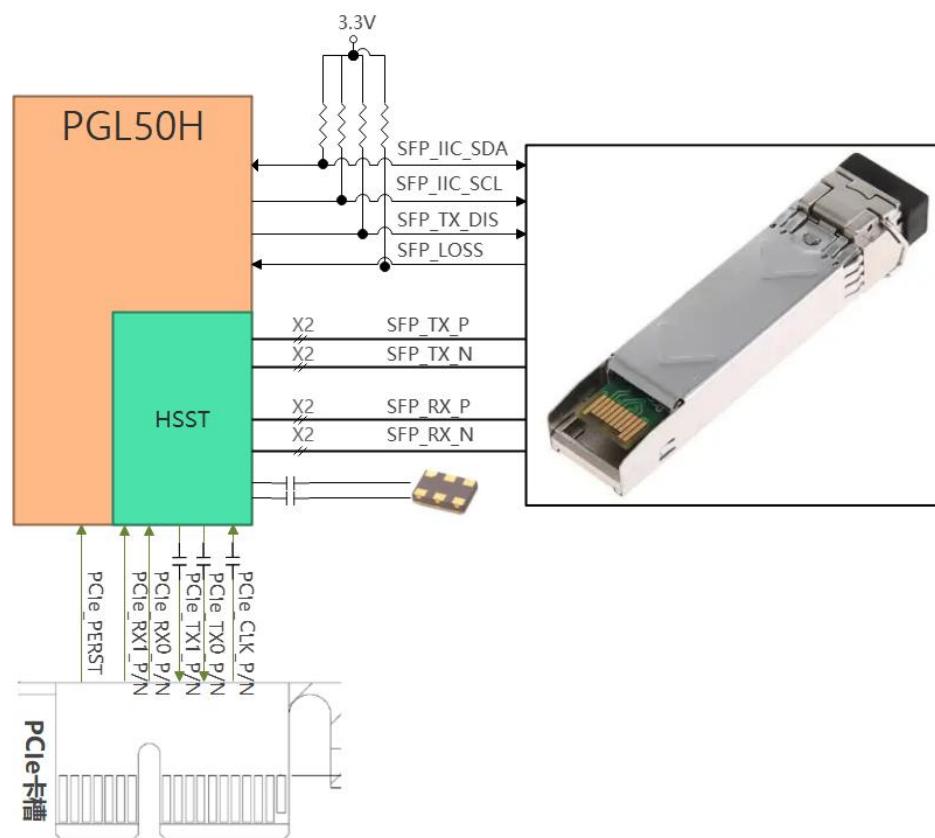


图 3-3 PGL50H HSST 功能连接图

下表显示了 PGL50H 与 2 个 SFP 接口的管脚连接。

表 3-2 PGL50H 引脚分配情况

信号名称	描述	PGL50H 管脚
SFP0_TXP	SFP0 光模块数据发送 P 端	B8
SFP0_TXN	SFP0 光模块数据发送 N 端	A8
SFP0_RXP	SFP0 光模块数据接收 P 端	D9
SFP0_RXN	SFP0 光模块数据接收 N 端	C9
SFP0_LOS	SFP0 光模块接收 Loss 信号，高表示没有接收到光信号	W14

SFP0_SCI	SFP0 光模块 I2C 通信时钟	Y14
SFP0_SDA	SFP0 光模块 I2C 通信数据	V13
SPF0_TX_DIS	SFP0 光模块光发射禁止, 高有效	H12
SFP1_TXP	SFP1 光模块数据发送 P 端	B6
SFP1_TXN	SFP1 光模块数据发送 N 端	A6
SFP1_RXP	SFP1 光模块数据接收 P 端	D7
SFP1_RXN	SFP1 光模块数据接收 N 端	C7
SFP1_LOS	SFP1 光模块接收 Loss 信号, 高表示没有接收到光信号	A3
SFP1_SCI	SFP1 光模块 I2C 通信时钟	B3
SFP1_SDA	SFP1 光模块 I2C 通信数据	A2
SPF1_TX_DIS	SFP1 光模块光发射禁止, 高有效	B2

3.2.3 JTAG

MES50H-Ethernet 开发板预留了一个 JTAG 接口, 用于下载 FPGA 程序或者固化程序到 FLASH。为了避免带电插拔造成对 FPGA 芯片的损坏, 我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围, 避免 FPGA 的损坏。在使用过程中应尽量避免通电状态下插/拔 jtag 接口。

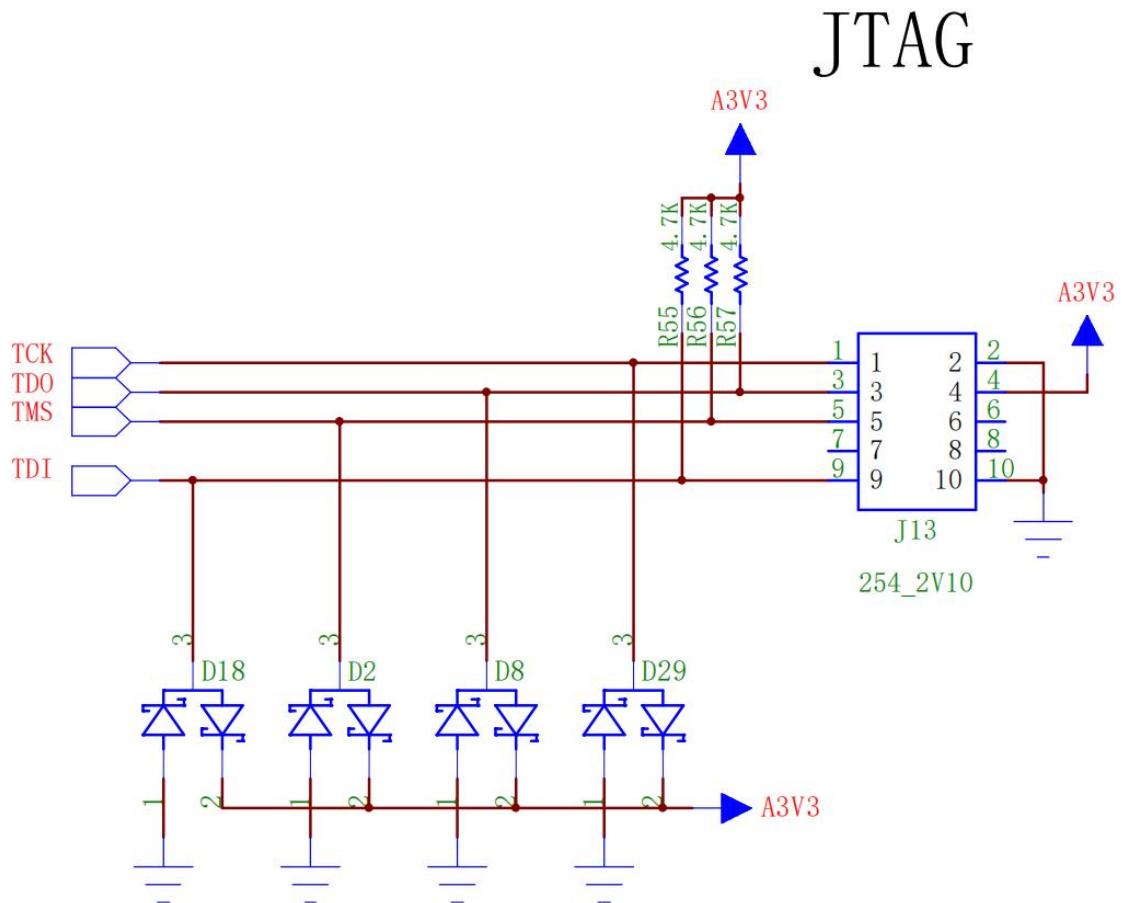


图 3-4 JTAG 连接座原理图

3.3 按键/指示灯

3.3.1 按键

MES50H-Ethernet 扩展底板提供了 8 个用户按键 (K1~8)；8 个用户按键都连接到 PGL50H 的普通 IO 上，按键低电平有效，但按键按下时，IO 上的输入电压为低；当没有按下按键时，IO 上的输入电压为高电平；

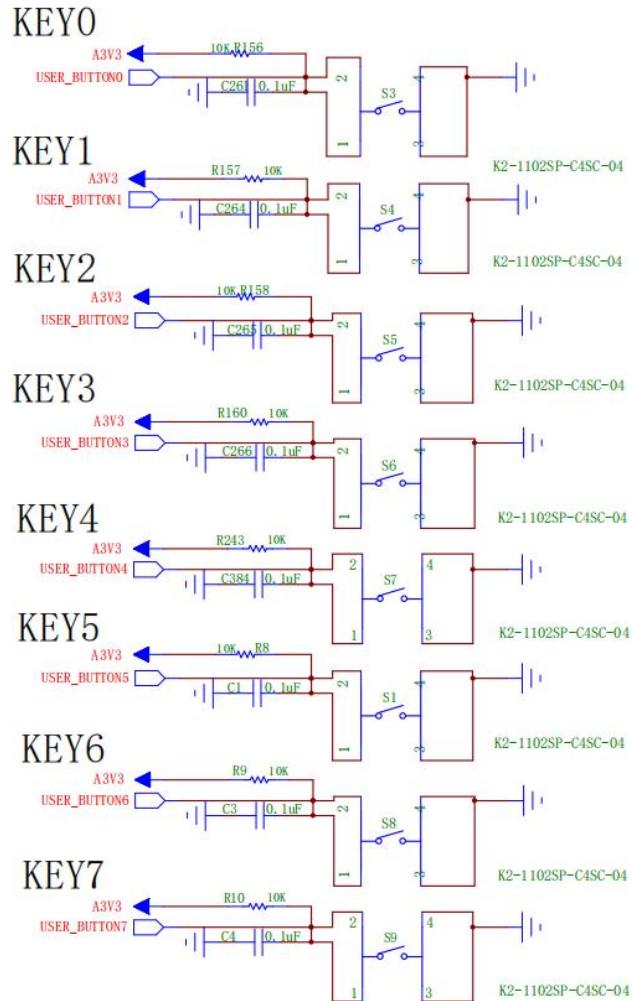


图 3-5 用户按键电路图

具体管脚分配如下；

表 3-3 按键管脚分配

信号	PGL50H Pin
KEY1	U6
KEY2	T7
KEY3	W9
KEY4	Y8
KEY5	Y7
KEY6	AB7
KEY7	AA6
KEY8	AB6

3.3.2 Led 灯

MES50H-Ethernet 开发板有 11 个翠绿 LED 灯，其中 1 个是电源指示灯（POWER）；2 个是 FPGA 的运行的状态指示灯：INIT 和 DONE；8 个是用户 LED 灯（LED1~8）。连接在 PGL50H BANK 0 的 IO 上，FPGA 输出高电平时对应的 LED 灯亮灯，板上 LED 灯功能电路图：

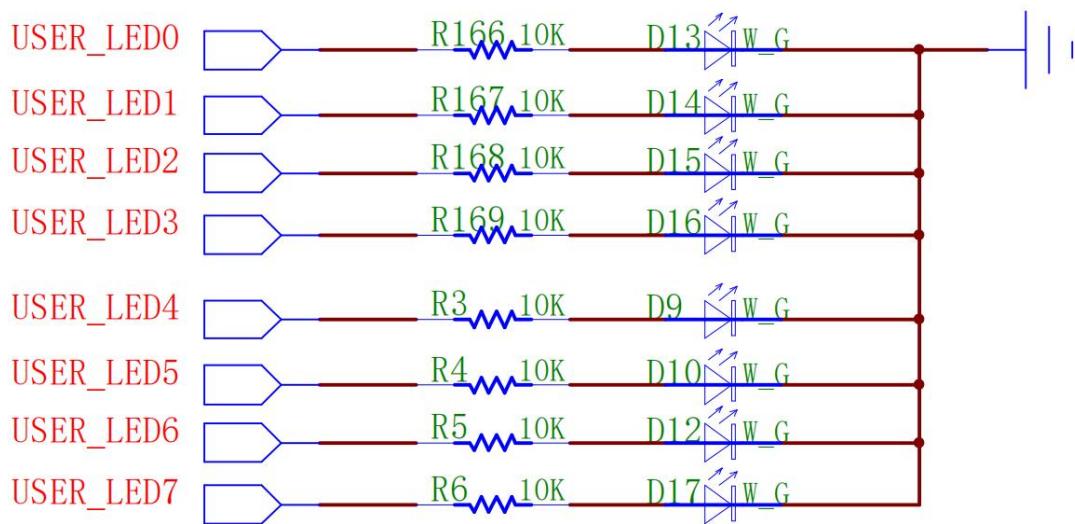


图 3-6 LED 灯电路原理图

具体管脚分配请看下表：

表 3-4 LED 灯

信号	PGL50H Pin
LED1	F9
LED2	G8
LED3	E6
LED4	E5
LED5	A4
LED6	C4
LED7	D5
LED8	D4

3.5 扩展口

3.5.1 40pin 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 FPGA。**

如果要接 5V 设备，需要接电平转换芯片。

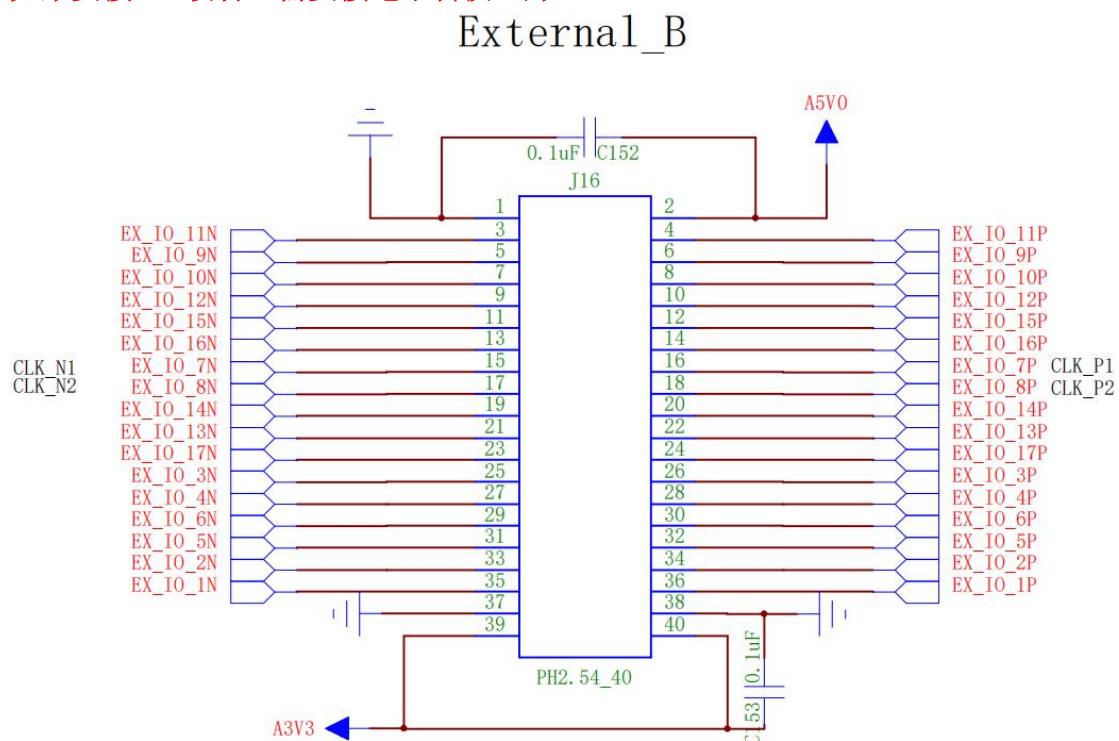


图 3-7 40pin 扩展 IO 原理图

表 3-5 40pin 扩展 IO

引脚 编号	网络名称	PGL50H 管脚	引脚 编号	网络名称	PGL50H 管 脚
1	GND	\	2	5V0	\
3	EX_IO_11N	AB13	4	EX_IO_11P	Y13
5	EX_IO_9N	AB11	6	EX_IO_9P	Y11
7	EX_IO_10N	W11	8	EX_IO_10P	V11
9	EX_IO_12N	AB10	10	EX_IO_12P	AA10
11	EX_IO_15N	Y10	12	EX_IO_15P	W10
13	EX_IO_16N	T11	14	EX_IO_16P	R11

15	EX_IO_7N	Y12	16	EX_IO_7P	W12
17	EX_IO_8N	U12	18	EX_IO_8P	T12
19	EX_IO_14N	U10	20	EX_IO_14P	T10
21	EX_IO_13N	AB9	22	EX_IO_13P	Y9
23	EX_IO_17N	V9	24	EX_IO_17P	U9
25	EX_IO_3N	U8	26	EX_IO_3P	T8
27	EX_IO_4N	W8	28	EX_IO_4P	V7
29	EX_IO_6N	AB8	30	EX_IO_6P	AA8
31	EX_IO_5N	Y6	32	EX_IO_5P	W6
33	EX_IO_2N	AB5	34	EX_IO_2P	Y5
35	EX_IO_1N	AB4	36	EX_IO_1P	AA4
37	GND	\	38	GND	\
39	A3V3	\	40	A3V3	\

3.6 供电电源

开发板的电源输入电压为+12V,请使用开发板自带的电源,不要用其他规格的电源,以免损坏开发板。扩展板上通过1路DC/DC电源芯片SGM61163把+12V电压转化成+5V电源;另使用一路DC/DC电源芯片SGM61032把+5V转换出+3.3V供外设接口使用;扩展板上的+5V电源通过板间连接器给核心板供电,扩展板上电源设计如下图所示:

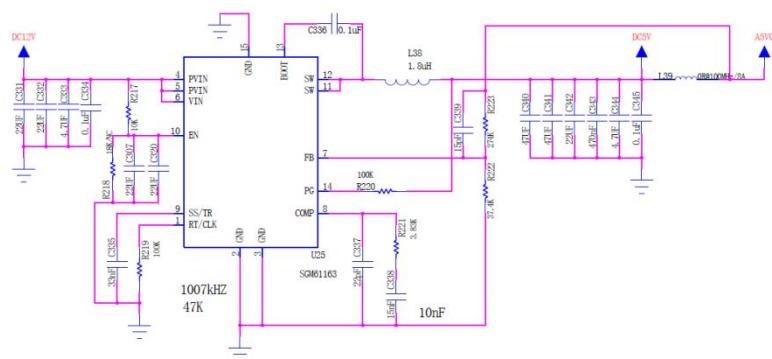


图 3-8 12V 转 5V 原理图

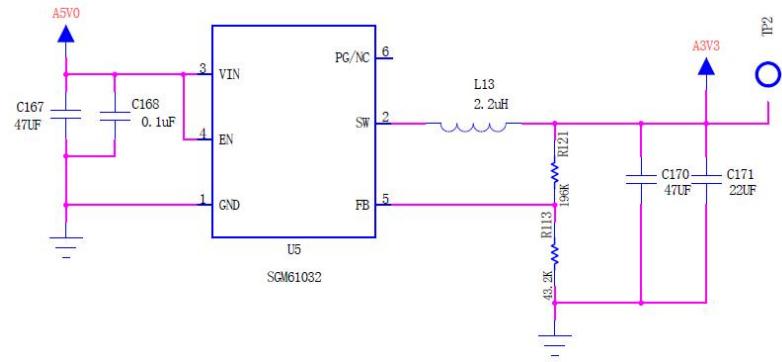


图 3-9 5V 转 3.3V 原理图

3.7 尺寸结构图

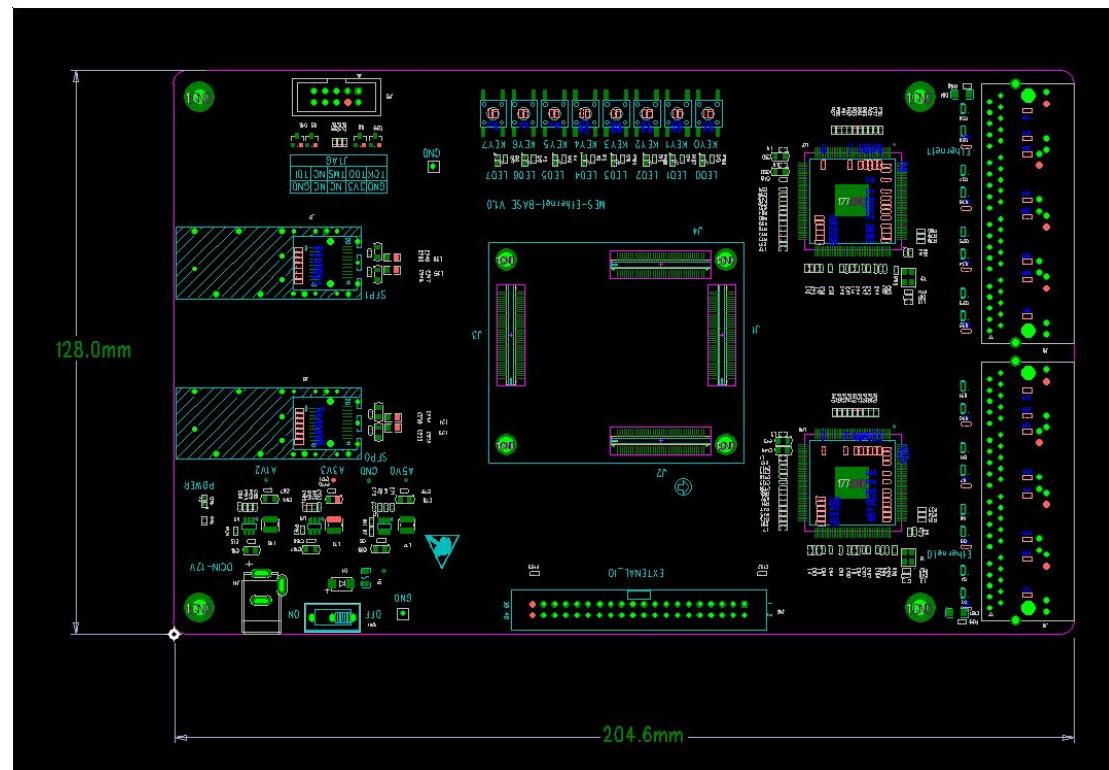


图 3-10 扩展底板尺寸结构图