



提供一站式 FPGA&嵌入式解决方案

# 盘古 MINI 系列开发板 FPGA 硬件实验指导手册

盘古 MINI 系列 (MINI-100HP/200H)

开发板实验教程

紫光同创 Logos2 系列盘古 MINI 开发平台



深圳市小眼睛科技有限公司 版权所有 侵权必究

## 文档版本修订记录

版本号	发布日期	修订记录
V1.2	2025/10/20	初始版本
V1.3	2026/4/1	修订部分参数、更新排版、增加对 PG2L200H 资源介绍

公司名称：深圳市小眼睛科技有限公司

地址：深圳市宝安区西乡街道 F518 时尚创意园

官方网址：[www.meyesemi.com](http://www.meyesemi.com)

官方淘宝店铺：小眼睛半导体

B 站：小眼睛半导体（视频教程免费学）

\* 加入 FPGA 开发者技术交流与 5000+FPGA 开发者实时沟通

QQ2 群： 442106123QQ3 群： 882634519)

\*配套资料下载、技术答疑请登录逻辑矩阵技术论坛



逻辑矩阵技术论坛欢迎各位发烧友加入  
让我们共建开源生态，持续赋能行业发展

<https://www.szlogicmatrix.com/>

技术子



\*扫码注册开源技术论坛



\*扫一扫关注官微



\* 官方旗舰店

## 目录

导语 .....	5
1. 开发系统介绍 .....	6
1.1. 开发系统概述 .....	6
1.2. 开发系统简介 .....	7
1.2.1. 开发系统外设资源 .....	7
1.2.2. 开发系统功能框图 .....	8
1.3. 核心板 .....	10
1.3.1. 核心板概述 .....	10
1.3.2. 系统描述 .....	10
1.3.2.1. FPGA .....	10
1.3.2.2. 电源接口 .....	11
1.3.2.3. 时钟 .....	12
1.3.2.4. 125MHz 差分晶振 .....	13
1.3.2.5. 27MHz 单端时钟 .....	13
1.3.2.6. 上电 IO Status .....	14
1.3.2.7. JTAG 接口 .....	14
1.3.2.8. DDR3 .....	15
1.3.2.9. QSPI Flash .....	17
1.3.2.10. 扩展 IO .....	18
1.4. 扩展底板 .....	28
1.4.1. 扩展底板简介 .....	28
1.4.2. 外接通信接口 .....	28
1.4.2.1. 网口 .....	28
1.4.2.2. 串口 .....	30
1.4.2.3. JTAG .....	30
1.4.2.4. HDMI 输入接口 .....	31
1.4.2.5. HDMI 输出接口 .....	33
1.4.2.6. 按键 .....	34
1.4.2.7. LED 灯 .....	34
1.4.2.8. EEPROM .....	35
1.4.3. 时钟 .....	36
1.4.4. 扩展 IO .....	36
1.4.5. 高速扩展 IO .....	39
1.4.6. 供电电源 .....	41
1.4.7. 底板尺寸图 .....	42

## 导语

实践出真知，要想学好 FPGA，实验平台必不可少！本篇我们将系统介绍 FPGA 开发平台：盘古 MINI (MINI-100HP(200HP)) 开发板。通过该篇的介绍，您将全面了解盘古及泰坦系列开发板的特点，了解本教程主要开发平台 MES2L676-100HP(200HP)-MINI 的功能、操作和使用注意事项。

# 1.开发系统介绍

## 1.1. 开发系统概述

盘古 MINI 系列开发板（板卡型号：MINI-100HP(200H)）采用紫光创 logos2 系列 FPGA，芯片型号：PG2L100H(200H)-6IFBG676。开发板采用核心板+扩展板结构，核心板与扩展板之间使用高速板对板连接器进行连接，核心板侧连接器型号：LB3524-G120P-WOR，扩展板侧连接器型号：LB3524-G120S-WOR。

核心板主要由 FPGA+2 颗 DDR3+2 颗 FLASH+电源及复位电路组成，承担了 FPGA 最小系统运行及高速数据处理及存储功能。FPGA 选用紫光同创 28nm 工艺 FPGA (logos 2: PG2L100H(200H)-6IFBG676)；PG2L100H/200H 与 DDR3 在数据交互时钟频率最高可达 1066Mbps，两颗 DDR3 数据位宽共 32bit，因此数据带宽可达 (1066Mbps\*32)，充分满足高速多路数据存储的需求；另外 PG2L100H FPGA 带有 8 路 HSST 高速收发器，每路速度高达 6.6Gbps，非常适用于光纤通信与 PCIe 通信；核心板上的两颗 FLASH 主要用于存储 FPGA 配置文件。

底板为核心板扩展了丰富的外围接口，其中包括 HDMI 输出接口、HDMI 输入接口、网口、串口，并配置了按键、LED 灯、EEPROM 器件以及一个高速信号扩展口和三个 40Pin 普通扩展口。

该硬件板卡底板兼容 **PG2L100H-6IFBG676 和 PG2L200H-6IFBG676 器件**，板卡硬件说明及图片不作区分。

## 1.2. 开发系统简介

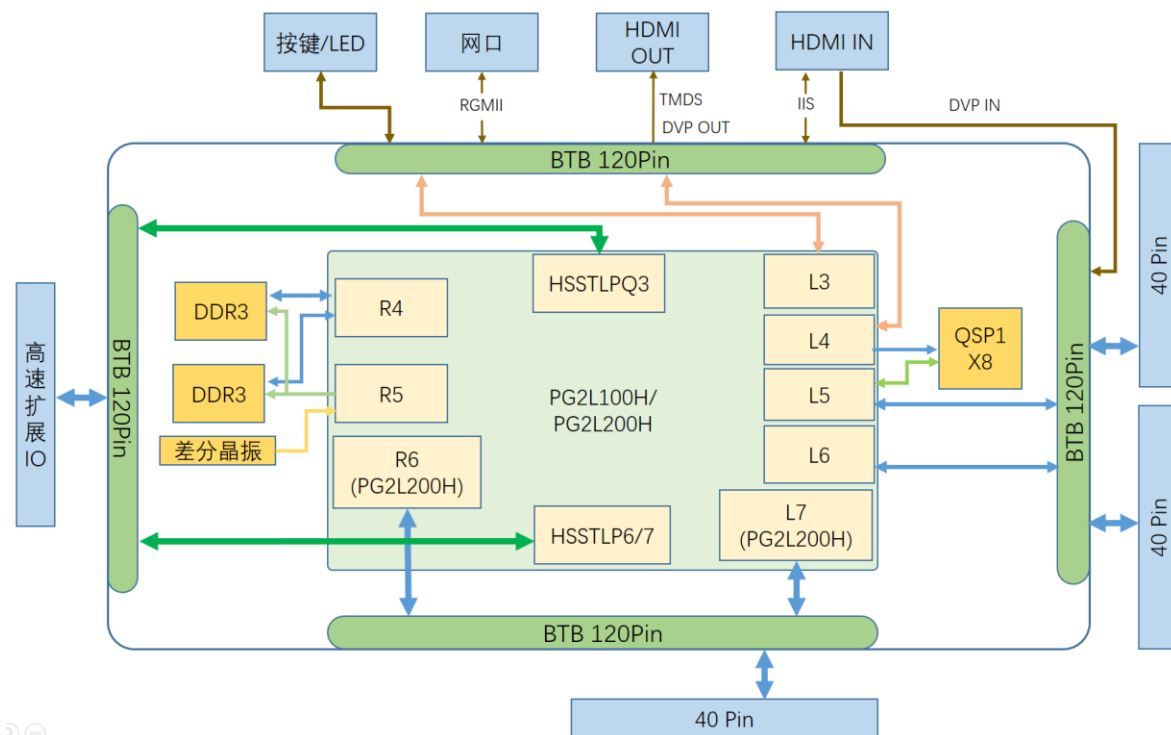
### 1.2.1. 开发系统外设资源



#### 外设资源

HDMI 输出接口	*1	10/100/1000M 以太网接口	*1
用户按键	*6	Jtag 调试接口	*1
USB 转 UART	*1	高速扩展接口	*1
HDMI 输入接口	*1	LED 灯	*6
40Pin 扩展口	*3	高速信号扩展口	*1

### 1.2.2.开发系统功能框图



MINI-100HP(200H)开发系统功能框图

MINI-100HP(200H)开发平台所能实现的功能描述如下：

➤ **Logos2 FPGA 核心板**

由 PG2L100H(200H)-6IFBG676+2 片 256MB DDR3 + 2 片 128Mb QSPI FLASH 组成。

➤ **10/100M/1000M 以太网 RJ-45 接口 \*1**

网口 PHY 芯片采用 RTL8211F, RTL8211F 支持 10/100M/1000Mbps 网络传输数据率；支持全双工工作模式及数据率自适应。

➤ **HDMI 输出 \* 1**

开发板使用 4 对 TMDS 差分显示, 其中一对是时钟, 其他三对是数据。HDMI 采用和 DVI 相同的传输原理——TMDS (Transition Minimized Differential signal), 最小化传输差分信号。

➤ **HDMI 输入 \* 1**

选用了国产宏晶微公司的 MS7200 HDMI 接收芯片，兼容 HDMI1.4b 及 HDMI 1.4 b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K@30Hz，最高采样率达到 300MHz；支持 HBR 音频。

➤ **USB 转串口 \* 1**

用于与电脑进行串口通信，方便用户进行调试。串口芯片采用 Silicon Labs 的 USB-UART 芯片: CP2102，USB 接口采用 USB Type C 接口。

➤ **EEPROM**

板载一片 IIC 接口的 EEPROM: 24C02；

➤ **JTAG 接口**

10 针 2.54mm 间距的双排排针口，用于 FPGA 程序的下载和调试。

➤ **LED 灯**

6 个用户发光二极管；

➤ **按键**

5 个用户按键，1 个硬件复位按键；

➤ **高速扩展接口**

高速扩展接口引出高速信号可用于 PCIe 通信和光纤通信使用。

### 1.3. 核心板

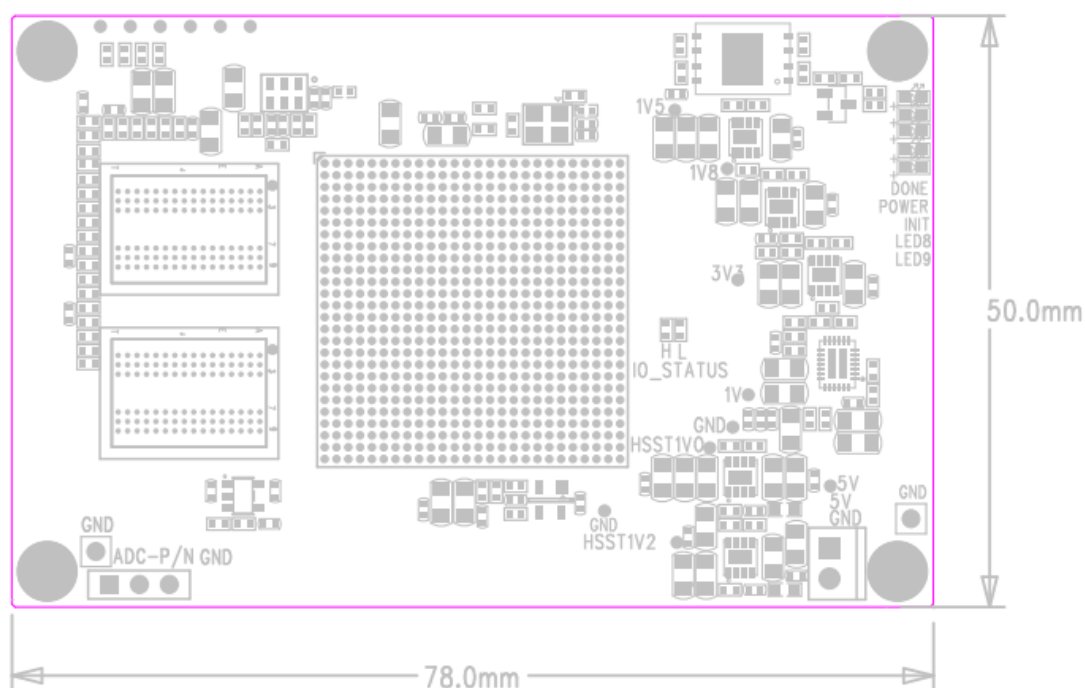
#### 1.3.1.核心板概述

MINI-100HP(200H)核心板是“小眼睛科技”基于多年 FPGA 开发经验，采用紫光同创 logos2 系列 PG2L100H(200H)-6IFBG676 作为主控芯片而开发的全新中国产高性能 FPGA 核心板，具有高数据带宽、高存储容量的特点，适用于视频图像处理、高速数据采集、工业控制等多元应用场景。

MINI-100HP(200H)核心板使用了 2 片 DDR3 芯片，DDR3 总容量 4Gbit，组合数据总线宽度为 32bit，最高速率支持 1066Mbps，满足用户高带宽的数据缓存需求。

MINI-100HP(200H)核心板扩展出 8 对 HSST TX/RX 信号，用于光纤通信、PCIe 通信、FMC 接口通信，且硬件上 FPGA 芯片到接口之间走线做了等长和差分处理，非常适合二次开发。

MINI-100HP(200H)核心板尺寸结构图如下图所示：



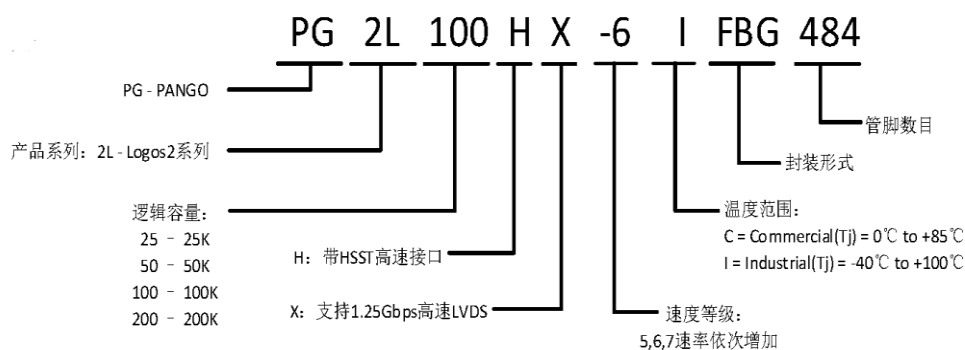
MINI-100HP(200H)核心板尺寸结构图

#### 1.3.2.系统描述

##### 1.3.2.1.FPGA

FPGA 型号为 PG2L100H(200H)-6IFBG676，属于紫光同创 logos2 系列产品，速度等级为 6，温度范围：工业级 (-40~100℃)，FBB 封装，管脚数目 676。

紫光同创 Logos2 系列 FPGA 产品型号的编号内容及意义如下：

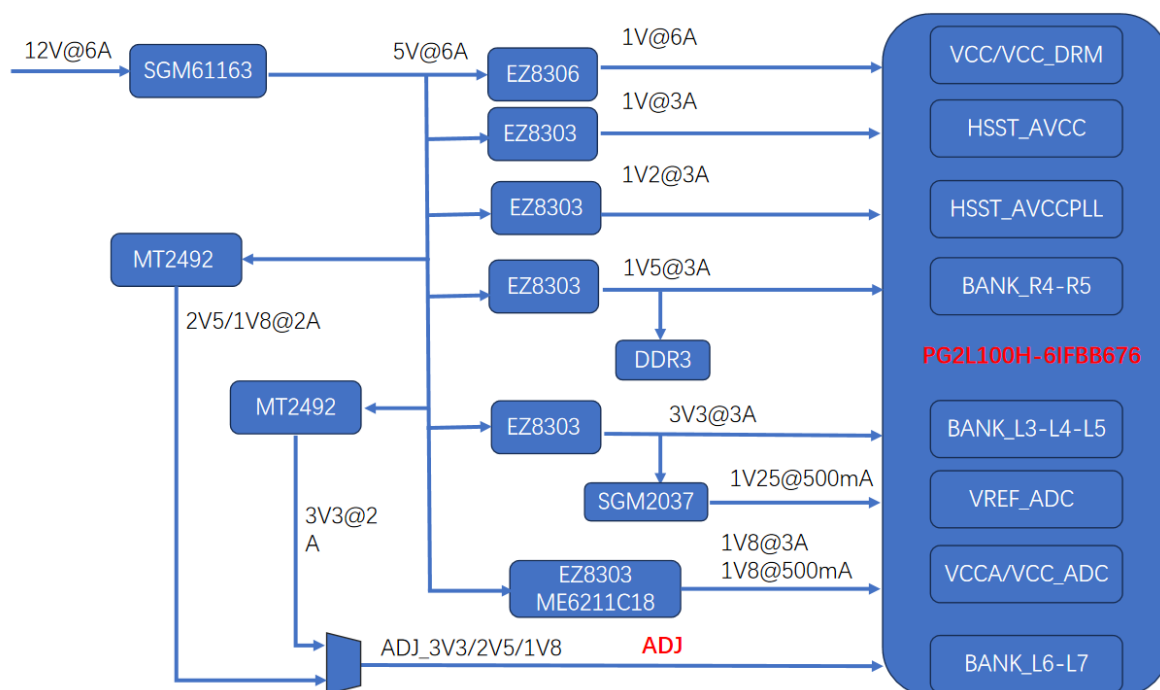


PG2L100H(200H)-6IFBG676 主要参数如下:

资源		100H 参数	200H 参数
逻辑资源	触发器 (FF)	133200	319600
	LUT6	66600	159800
	等效 LUT4	99900	239700
RAM 资源	分布式 RAM (Kbit)	1244	2469
	块 RAM 数量 (36K/块)	155	415
	块 RAM (Kbit)	5580	14940
时钟资源	GPLL	6	10
	PPLL	6	10
硬核资源	APM (25*18 乘法器)	740	740
	ADC	1	1
	AES	1	1
	HSST (6.6G)	8	16
	PCIE Gen2*4	1	1
IO 资源	用户 IO	300	500

### 1.3.2.2.电源接口

MINI-100HP(200H)核心板供电电压为 VCCIN，输入电压为 5V，需通过板对板连接器对应管脚供电，连接底板时通过底板供电。且 BANK\_L6 和 BANK\_L7 电源也需通过板对板连接器对应管脚供电，连接底板时通过底板供电。板上的电源设计示意图如下图所示:



板上的电源设计示意图

各电源的功能如下表所示：

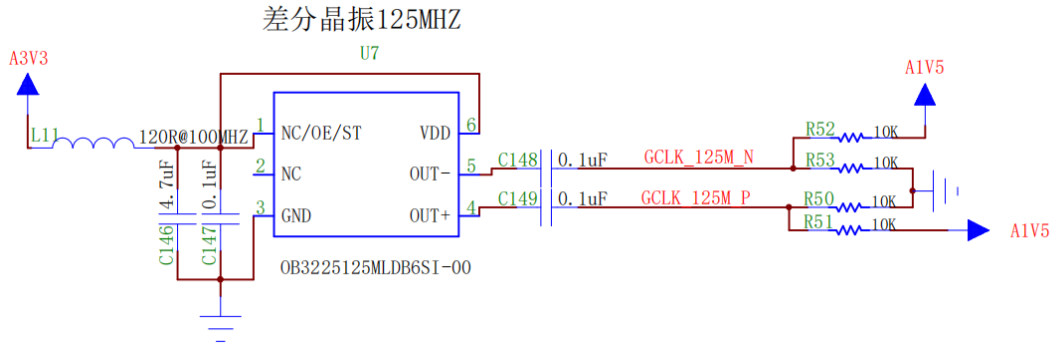
电源	功能用途
5.0V	板对板连接座输入电源
1.0V	PG2L100H 内核电压
HSST_1.2V	PG2L100H HSST 锁相环电源
HSST_1.0V	PG2L100H HSST 收发器内核电源
1.5V	DDR3 供电电压及 Bank R4、Bank R5 电源；
1.8V	辅助电源
3.3V	I/O 电压 (L3-L4-L5) ，部分接口 (晶振, FLASH) 供电电压
ADJ_3V3/2V5/1V8 8	I/O 电压 (L6-L7)

### 1.3.2.3.时钟

MINI-100HP(200H)核心板上配有 1 个有源差分晶振，1 个单端 27MHz 晶振。差分晶振用于 DDR3 的参考时钟输入，单端 27MHz 用于 FPGA 的系统时钟源。

### 1.3.2.4.125MHz 差分晶振

下图中 U7 为 125MHz 有源差分晶振，此时钟为 DDR3 提供输入参考时钟，晶振输出到 FPGA DDR3 信号所在 BANK 上。



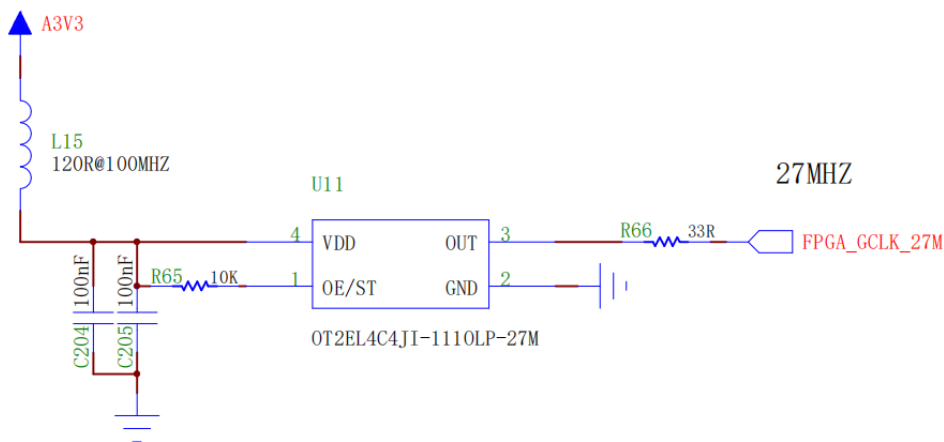
#### 核心板 125MHz 有源差分晶振

具体的管脚约束如下表所示：

信号	描述	FPGA 管脚
GCLK_125M_P	DDR3 参考时钟	N3
GCLK_125M_N		N2

### 1.3.2.5.27MHz 单端时钟

下图 U11 为 27MHz 有源晶振电路，此时中连接至 FPGA 的全局时钟管脚上，可为 FPGA 提供输入参考时钟。



#### 核心板 27MHz 有源晶振电路

具体的管脚约束如下表所示：

信号	描述	FPGA 管脚
FPGA_GCLK_27M	FPGA 输入全局时钟	D18

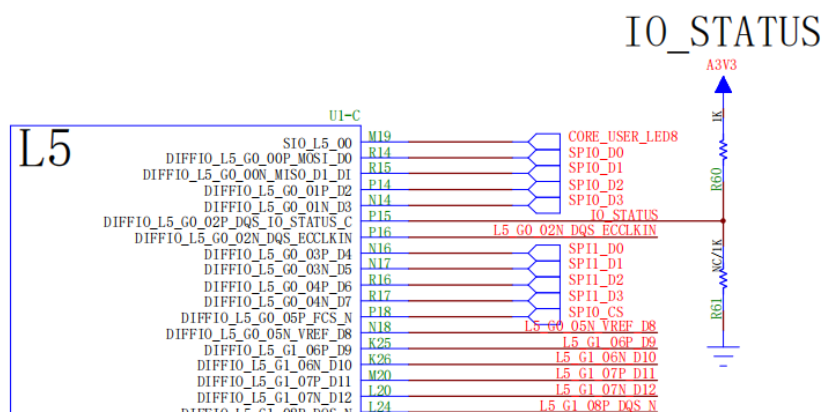
### 1.3.2.6.上电 IO Status

在 Logos2 器件上有一个功能复用 IO，控制从上电完成后到进入用户模式之前中所有用户 IO 的弱上拉电阻是否使能。此管脚在配置之前或是配置过程中，该引脚不允许悬空，此 IO 在上电后的对应功能如下：

- (1) “0”，使能所有用户 IO 内部上拉电阻。
- (2) “1”，不使能所有用户 IO 内部上拉电阻。

MINI-100HP(200H)-MINI 核心板将此管脚的功能默认接 GND，用户可根据需求，自行焊接电阻选择上电后初始的 IO 状态；

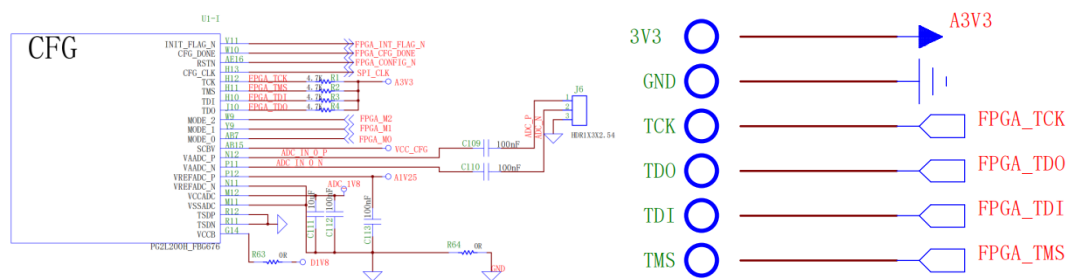
功能电路如下：



IO 配置电路

### 1.3.2.7.JTAG 接口

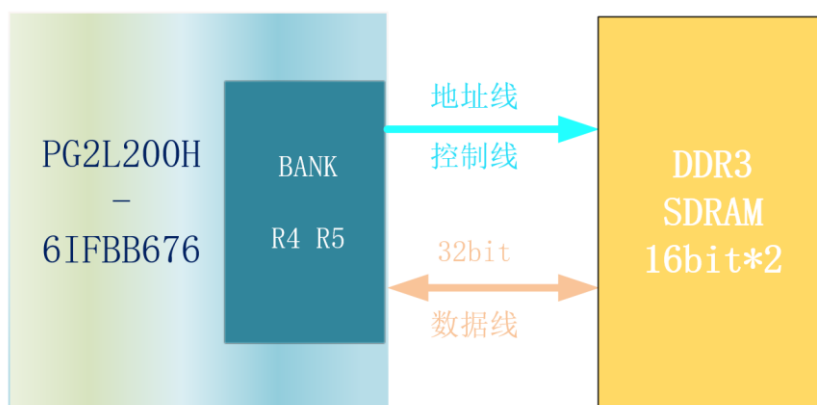
MINI-100HP(200H)核心板正面左上角预留 JTAG 触点，可在没有底板的情况下调试核心板。FPGA 的 JTAG 信号通过高速板对板连接器与底板 JTAG 接口相连，用于下载 FPGA 位流文件或在线调试。



JTAG 接口电路

### 1.3.2.8.DDR3

MINI-100HP(200H)核心板配了两个 4Gbit (512MB) 的 DDR3 芯片 (共计 8Gbit)，两个 DDR 的总数据位宽为 32bit，DDR3 型号采用芯存 XCCC256M16EP-EINAY，(兼容 Micron MT41K256M16TW-107:P、Micron MT41K256M16HA-125、Winbond W634GU6NB-11)。DDR3 SDRAM 的最高运行时钟速度可达 533MHz (数据速率)。该 DDR3 存储系统直接连接到了 FPGA 的 R4、R5 BANK，DDR3 SDRAM 的硬件连接示意图如下图所示：



DDR3 DRAM 的硬件连接示意图

DDR3 布线采用 50 欧姆走线阻抗用于单端信号，DCI 电阻 (VRP / VRN) 以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上采用 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V，以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随，保持为 1/2 倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出，等于 1/2 倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的，可为 DDR 电平转换提供更清晰的参考。

具体的管脚分配如下表所示：

信号名称	FPGA 管脚	信号名称	FPGA 管脚
ddr3_addr[0]	J1	ddr3_addr[14]	N1

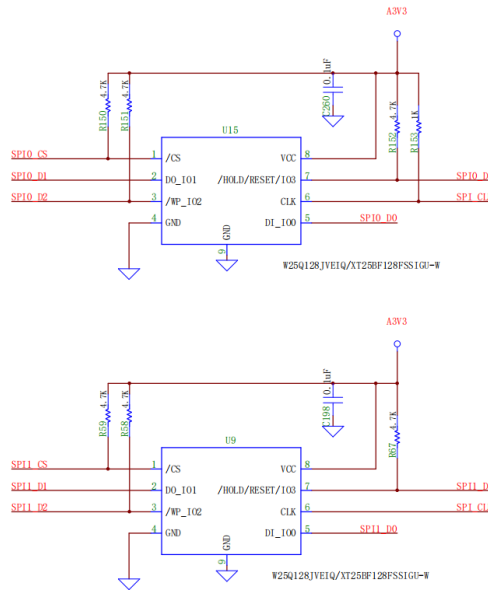
ddr3_addr[1]	L3	/	
ddr3_addr[2]	L2	ddr3_ba[0]	P4
ddr3_addr[3]	P3	ddr3_ba[1]	R2
ddr3_addr[4]	T2	ddr3_ba[2]	T5
ddr3_addr[5]	M1	ddr3_cas_n	T7
ddr3_addr[6]	U1	ddr3_ck_n	U5
ddr3_addr[7]	K1	ddr3_ck_p	U6
ddr3_addr[8]	U2	ddr3_cke	R1
ddr3_addr[9]	K2	ddr3_cs_n	N4
ddr3_addr[10]	T3	ddr3_odt	H2
ddr3_addr[11]	P1	ddr3_ras_n	P6
ddr3_addr[12]	T4	ddr3_reset_n	H1
ddr3_addr[13]	M2	ddr3_we_n	T8
ddr3_dm[0]	K6	ddr3_dm[2]	D5
ddr3_dm[1]	F7	ddr3_dm[3]	E2
ddr3_dq[0]	G5	ddr3_dq[16]	C4
ddr3_dq[1]	J6	ddr3_dq[17]	D4
ddr3_dq[2]	F5	ddr3_dq[18]	A4
ddr3_dq[3]	L8	ddr3_dq[19]	E3
ddr3_dq[4]	G4	ddr3_dq[20]	C3
ddr3_dq[5]	K7	ddr3_dq[21]	F3
ddr3_dq[6]	F4	ddr3_dq[22]	B4
ddr3_dq[7]	J5	ddr3_dq[23]	D3
ddr3_dq[8]	H6	ddr3_dq[24]	F2
ddr3_dq[9]	F8	ddr3_dq[25]	D1
ddr3_dq[10]	H8	ddr3_dq[26]	G1
ddr3_dq[11]	D6	ddr3_dq[27]	A2
ddr3_dq[12]	G8	ddr3_dq[28]	E1

ddr3_dq[13]	E6	ddr3_dq[29]	A3
ddr3_dq[14]	H9	ddr3_dq[30]	G2
ddr3_dq[15]	G6	ddr3_dq[31]	C2
ddr3_dqs_p[0]	J4	ddr3_dqs_n[0]	H4
ddr3_dqs_p[1]	H7	ddr3_dqs_n[1]	G7
ddr3_dqs_P[2]	B5	ddr3_dqs_n[2]	A5
ddr3_dqs_P[3]	C1	ddr3_dqs_n[3]	B1
ref_clk_p	N3	ref_clk_n	N2

### 1.3.2.9.QSPI Flash

MINI-100HP(200H)核心板采用两片 WinBond 公司的 4 位 SPI (QSPI) 串行 Nor 闪存 W25Q128JV (兼容 XT25BF128FSSIGU-W) , 容量共 256Mb, 最高支持 8bit 模式。

两颗 QSPI FLASH (U15、U9) 的电路连接如下：



QSPI FLASH 电路

QSPI Flash 管脚分配如下：

信号	描述	FPGA 管脚
SPI_CLK	串行数据时钟	H13
SPIO_CS	U15 片选	P18

SPIO_D0	U15 数据位 0	N16
SPIO_D1	U15 数据位 1	N17
SPIO_D2	U15 数据位 2	R16
SPIO_D3	U15 数据位 3	R17
SPI1_CS	U9 片选	F25
SPI1_D0	U9 数据位 0	R14
SPI1_D1	U9 数据位 1	R15
SPI1_D2	U9 数据位 2	P14
SPI1_D3	U9 数据位 3	N14

### 1.3.2.10.扩展 IO

MINI-100HP(200H)核心板背面共有 4 个 120pin 高速扩展口 J1/J2/J3/J4，核心板侧连接器型号：LB3524-G120P-WOR，扩展板侧连接器型号：LB3524-G120S-WOR。FPGA 的 IO 通过 4 个扩展口与底板连接，实现高速数据通信。

扩展口 J1

J1 管脚	网络名称	FPGA 管脚	J1 管脚	网络名称	FPGA 管脚
1	HSSTRX3P_QL3	D12	2	HSSTREFCLK0P_QL3	F11
3	HSSTRX3N_QL3	C12	4	HSSTREFCLK0N_QL3	E11
5	GND		6	GND	
7	HSSTRX2P_QL3	B13	8	HSSTTX3P_QL3	D10
9	HSSTRX2N_QL3	A13	10	HSSTTX3N_QL3	C10
11	GND		12	GND	
13	HSSTRX1P_QL3	D14	14	HSSTTX2P_QL3	B9
15	HSSTRX1N_QL3	C14	16	HSSTTX2N_QL3	A9
17	GND		18	GND	

<b>19</b>	HSSTRX0P_QL3	B11	<b>20</b>	HSSTTX1P_QL3	D8		
<b>21</b>	HSSTRX0N_QL3	A11	<b>22</b>	HSSTTX1N_QL3	C8		
<b>23</b>	GND		<b>24</b>	GND			
<b>25</b>			<b>26</b>	HSSTTX0P_QL3	B7		
<b>27</b>			<b>28</b>	HSSTTX0N_QL3	A7		
<b>29</b>			<b>30</b>	GND			
<b>31</b>			<b>32</b>	HSSTREFCLK1P_QL 3	F13		
<b>33</b>			<b>34</b>	HSSTREFCLK1N_QL 3	E13		
<b>35</b>			<b>36</b>	GND			
<b>37</b>			NC		<b>38</b>	NC	
<b>39</b>					<b>40</b>		
<b>41</b>					<b>42</b>		
<b>43</b>	<b>44</b>						
<b>45</b>	<b>46</b>						
<b>47</b>	<b>48</b>						
<b>49</b>	<b>50</b>						
<b>51</b>	<b>52</b>						
<b>53</b>	<b>54</b>						
<b>55</b>	<b>56</b>						
<b>57</b>	<b>58</b>						
<b>59</b>	<b>60</b>						
<b>61</b>	<b>62</b>						
<b>63</b>	<b>64</b>						
<b>65</b>	<b>66</b>						
<b>67</b>	<b>68</b>						
<b>69</b>	<b>70</b>						
<b>71</b>	<b>72</b>						

<b>73</b>			<b>74</b>		
<b>75</b>			<b>76</b>		
<b>77</b>			<b>78</b>		
<b>79</b>			<b>80</b>		
<b>81</b>			<b>82</b>		
<b>83</b>			<b>84</b>		
<b>85</b>			<b>86</b>		
<b>87</b>	GND		<b>88</b>	GND	
<b>89</b>	NC		<b>90</b>	NC	
<b>91</b>			<b>92</b>		
<b>*93</b>	SIO_R5_01	U4	<b>94</b>	<b>*SIO_R5_00</b>	N8
<b>*95</b>	R5_G0_05P	M6	<b>96</b>	<b>*R5_G2_12P_GMCL K</b>	K3
<b>97</b>	GND		<b>98</b>	GND	
<b>99</b>			<b>100</b>	HSSTREFCLK1P_QL 7	AA11
<b>101</b>			<b>102</b>	HSSTREFCLK1N_QL 7	AB11
<b>103</b>			<b>104</b>	GND	
<b>105</b>	HSSTTX3P_QL7	AE7	<b>106</b>	HSSTRX3P_QL7	AE11
<b>107</b>	HSSTTX3N_QL7	AF7	<b>108</b>	HSSTRX3N_QL7	AF11
<b>109</b>	GND		<b>110</b>	GND	
<b>111</b>	HSSTTX1P_QL7	AE9	<b>112</b>	HSSTRX1P_QL7	AE13
<b>113</b>	HSSTTX1N_QL7	AF9	<b>114</b>	HSSTRX1N_QL7	AF13
<b>115</b>	GND		<b>116</b>	GND	
<b>117</b>	HSSTTX0P_QL7	AC10	<b>118</b>	HSSTRX0P_QL7	AC12
<b>119</b>	HSSTTX0N_QL7	AD10	<b>120</b>	HSSTRX0N_QL7	AD12

注：“\*” 标 IO 为 1.5V 电平标准，其他 IO 为 3.3V 电平标准；

扩展口 J2

J2 管脚	网络名称	FPGA 管脚	J2 管脚	网络名称	FPGA 管脚
1	L5_G0_05N_VREF_D8	N18	2	L5_G0_02N_DQS_ECCL KIN	P16
3	L5_G1_07P_D11	M20	4	L5_G1_06P_D9	K25
5	L5_G1_07N_D12	L20	6	L5_G1_06N_D10	K26
7	L5_G1_09P_D14	M24	8	L5_G1_08P_DQS_N	L24
9	L5_G1_09N_D15	M25	10	L5_G1_08N_DQS_D13	L25
11	L5_G1_11P_GMCLK	M21	12	L5_G1_10P_GSCLK	L22
13	L5_G1_11N_GMCLK	M22	14	L5_G1_10N_GSCLK	L23
15	L5_G2_13P_GSCLK	P20	16	L5_G2_12P_GMCLK	N21
17	L5_G2_13N_GSCLK	P21	18	L5_G2_12N_GMCLK	N22
19	L5_G2_15P_CS_N	P19	20	L5_G2_14P_DQS_RWSE L	N23
21	L5_G2_15N_D31_A1 5	N19	22	L5_G2_14N_DQS_CS0_ DOUT	N24
23	L5_G2_17P_D28_A12	R20	24	L5_G2_16P_D30_A14	P23
25	L5_G2_17N_D27_A1 1	R21	26	L5_G2_16N_D29_A13	P24
27	L5_G3_19P_D24_A8	N26	28	L5_G3_18P_D26_A10	R25
29	L5_G3_19N_D23_A7	M26	30	L5_G3_18N_VREF_D25 _A9	P25
31	L5_G3_21P_D21_A5	R26	32	L5_G3_20P_DQS	T24
33	L5_G3_21N_D20_A4	P26	34	L5_G3_20N_DQS_D22_ A6	T25
35	L5_G3_23P_D17_A1	T23	36	L5_G3_22P_D19_A3	T22
37	L5_G3_23N_D16_A0	R23	38	L5_G3_22N_D18_A2	R22
39	GND		40	GND	
41	NC		42	NC	
43			44		

<b>45</b>	GND		<b>46</b>	GND	
<b>47</b>	SIO_L6_01	U17	<b>48</b>	SIO_L6_00	U24
<b>49</b>	L6_G0_01P	V26	<b>50</b>	L6_G0_00P	U25
<b>51</b>	L6_G0_01N	W26	<b>52</b>	L6_G0_00N	U26
<b>53</b>	L6_G0_03P	W25	<b>54</b>	L6_G0_02P_DQS	AB26
<b>55</b>	L6_G0_03N	Y26	<b>56</b>	L6_G0_02N_DQS	AC26
<b>57</b>	L6_G0_05P	V24	<b>58</b>	L6_G0_04P	Y25
<b>59</b>	L6_G0_05N_VREF	W24	<b>60</b>	L6_G0_04N	AA25
<b>61</b>	L6_G1_07P	AA22	<b>62</b>	L6_G1_06P	AA24
<b>63</b>	L6_G1_07N	AA23	<b>64</b>	L6_G1_06N	AB25
<b>65</b>	L6_G1_09P	V23	<b>66</b>	L6_G1_08P_DQS	AB24
<b>67</b>	L6_G1_09N	W23	<b>68</b>	L6_G1_08N_DQS	AC24
<b>69</b>	L6_G1_11P_GMCLK	U22	<b>70</b>	L6_G1_10P_GSCLK	Y22
<b>71</b>	L6_G1_11N_GMCLK	V22	<b>72</b>	L6_G1_10N_GSCLK	Y23
<b>73</b>	L6_G2_13P_GSCLK	W21	<b>74</b>	L6_G2_12P_GMCLK	U21
<b>75</b>	L6_G2_13N_GSCLK	Y21	<b>76</b>	L6_G2_12N_GMCLK	V21
<b>77</b>	L6_G2_15P	W20	<b>78</b>	L6_G2_14P_DQS	T20
<b>79</b>	L6_G2_15N	Y20	<b>80</b>	L6_G2_14N_DQS	U20
<b>81</b>	L6_G2_17P	V19	<b>82</b>	L6_G2_16P	T19
<b>83</b>	L6_G2_17N	W19	<b>84</b>	L6_G2_16N	U19
<b>85</b>	L6_G3_19P	T14	<b>86</b>	L6_G3_18P	V18
<b>87</b>	L6_G3_19N	T15	<b>88</b>	L6_G3_18N_VREF	W18
<b>89</b>	L6_G3_21P	U15	<b>90</b>	L6_G3_20P_DQS	T17
<b>91</b>	L6_G3_21N	U16	<b>92</b>	L6_G3_20N_DQS	T18
<b>93</b>	L6_G3_23P	V16	<b>94</b>	L6_G3_22P	U14
<b>95</b>	L6_G3_23N	V17	<b>96</b>	L6_G3_22N	V14
<b>97</b>	GND		<b>98</b>	REST	复位信号，低有效

<b>99</b>	HSSTREFCLK0P_QL7	AA13	<b>100</b>	GND	
<b>101</b>	HSSTREFCLK0N_QL7	AB13	<b>102</b>		
<b>103</b>	GND		<b>104</b>		
<b>105</b>	HSSTTX2P_QL7	AC8	<b>106</b>	HSSTRX2P_QL7	AC14
<b>107</b>	HSSTTX2N_QL7	AD8	<b>108</b>	HSSTRX2N_QL7	AD14
<b>109</b>	GND		<b>110</b>	GND	
<b>111</b>	L6_VADJ		<b>112</b>	L6_VADJ	
<b>113</b>	GND		<b>114</b>	GND	
<b>115</b>	5V		<b>116</b>	5V	
<b>117</b>			<b>118</b>		
<b>119</b>			<b>120</b>		

扩展口 J3

J3 管脚	网络名称	FPGA 管脚	J3 管脚	网络名称	FPGA 管脚
<b>1</b>	NC		<b>2</b>	L4_G3_23P_VS1	J25
<b>3</b>	L4_G3_22P_BFOE_N	G25	<b>4</b>	L4_G3_23N_VS0	J26
<b>5</b>	L4_G3_20P_DQS	E26	<b>6</b>	L4_G3_21P_A17	H26
<b>7</b>	L4_G3_20N_DQS_A18	D26	<b>8</b>	L4_G3_21N_A16	G26
<b>9</b>	L4_G3_18P_A22	G24	<b>10</b>	L4_G3_19P_A20	E25
<b>11</b>	L4_G3_18N_VREF_A21	F24	<b>12</b>	L4_G3_19N_A19	D25
<b>13</b>	L4_G2_16P_A26	F23	<b>14</b>	L4_G2_17P_A24	K22
<b>15</b>	L4_G2_16N_A25	E23	<b>16</b>	L4_G2_17N_A23	K23
<b>17</b>	L4_G2_14P_DQS	G22	<b>18</b>	L4_G2_15P_A28	J24
<b>19</b>	L4_G2_14N_DQS_BADRV O_N	F22	<b>20</b>	L4_G2_15N_A27	H24
<b>21</b>	L4_G2_12P_GMCLK	H21	<b>22</b>	L4_G2_13P_GSCL K	J23

<b>23</b>	L4_G2_12N_GMCLK	H22	<b>24</b>	L4_G2_13N_GSCLK	H23
<b>25</b>	L4_G1_10P_GSCLK	G20	<b>26</b>	L4_G1_11P_GMCLK	K21
<b>27</b>	L4_G1_10N_GSCLK	G21	<b>28</b>	L4_G1_11N_GMCLK	J21
<b>29</b>	L4_G1_08P_DQS_VAA9P	K20	<b>30</b>	L4_G1_09P_VAA10P	J18
<b>31</b>	L4_G1_08N_DQS_VAA9N	J20	<b>32</b>	L4_G1_09N_VAA10N	H18
<b>33</b>	L4_G1_06P_VAA7P	J19	<b>34</b>	L4_G1_07P_VAA8P	L17
<b>35</b>	L4_G1_06N_VAA7N	H19	<b>36</b>	L4_G1_07N_VAA8N	L18
<b>37</b>	L4_G0_04P_VAA5P	M15	<b>38</b>	L4_G0_05P	M16
<b>39</b>	L4_G0_04N_VAA5N	L15	<b>40</b>	L4_G0_05N_VREF	M17
<b>41</b>	L4_G0_02P_DQS_VAA3P	K16	<b>42</b>	L4_G0_03P	M14
<b>43</b>	L4_G0_02N_DQS_VAA3N	K17	<b>44</b>	L4_G0_03N	L14
<b>45</b>	L4_G0_00P_VAA1P	K15	<b>46</b>	L4_G0_01P_VAA2P	J14
<b>47</b>	L4_G0_00N_VAA1N	J16	<b>48</b>	L4_G0_01N_VAA2N	J15
<b>49</b>	SIO_L4_00	K18	<b>50</b>	SIO_L4_01	L19
<b>51</b>	L3_G3_22P	C24	<b>52</b>	L3_G3_23P	D23
<b>53</b>	L3_G3_22N	B24	<b>54</b>	L3_G3_23N	D24
<b>55</b>	L3_G3_20P_DQS	A23	<b>56</b>	L3_G3_21P	C26
<b>57</b>	L3_G3_20N_DQS	A24	<b>58</b>	L3_G3_21N	B26
<b>59</b>	L3_G3_18P	C22	<b>60</b>	L3_G3_19P	B25
<b>61</b>	L3_G3_18N_VREF	C23	<b>62</b>	L3_G3_19N	A25
<b>63</b>	L3_G2_16P	B22	<b>64</b>	L3_G2_17P	E21

65	L3_G2_16N	A22	66	L3_G2_17N	D21
67	L3_G2_14P_DQS	B20	68	L3_G2_15P	C21
69	L3_G2_14N_DQS	A20	70	L3_G2_15N	B21
71	L3_G2_12P_GMCLK	D19	72	L3_G2_13P_GSCL K	E20
73	L3_G2_12N_GMCLK	C19	74	L3_G2_13N_GSCL K	D20
75	L3_G1_10P_GSCLK	E17	76	NC	
77	L3_G1_10N_GSCLK	E18	78	L3_G1_11N_GMC LK	C18
79	L3_G1_08P_DQS	A17	80	L3_G1_09P	B19
81	L3_G1_08N_DQS	A18	82	L3_G1_09N	A19
83	L3_G1_06P	C17	84	L3_G1_07P	E16
85	L3_G1_06N	B17	86	L3_G1_07N	D16
87	L3_G0_04P	G19	88	L3_G0_05P	H16
89	L3_G0_04N	F20	90	L3_G0_05N_VREF	G16
91	L3_G0_02P_DQS	F18	92	L3_G0_03P	G15
93	L3_G0_02N_DQS	F19	94	L3_G0_03N	F15
95	L3_G0_00P	H14	96	L3_G0_01P	G17
97	L3_G0_00N	H15	98	L3_G0_01N	F17
99	SIO_L3_00	H17	100	SIO_L3_01	E22
*101	R5_G0_01P	M7	*102	R5_G0_00P	K3
*103	R5_G0_01N	L7	*104	R5_G0_00N	J3
*105	R5_G0_03P	L5	*106	R5_G0_02P_DQS	M4
*107	R5_G0_03N	K5	*108	R5_G0_02N_DQS	L4
*109	R5_G3_21P	R8	*110	R5_G0_04P	N7
*111	R5_G3_21N	P8	*112	R5_G0_04N	N6
113	FPGA_TCK		*114	R5_G3_22P	R7
115	FPGA_TMS		*116	R5_G3_22N	R6
117	FPGA_TDI		*118	R5_G3_19N	R5

<b>119</b>	FPGA_TDO	<b>120</b>	NC
------------	----------	------------	----

注：“\*” 标 IO 为 1.5V 电平标准，其他 IO 为 3.3V 电平标准；

扩展口 J4

J4 管脚	网络名称	FPGA 管脚	J4 管脚	网络名称	FPGA 管脚
<b>1</b>	L7_VADJ		<b>2</b>	L7_VADJ	
<b>3</b>	GND		<b>4</b>	GND	
<b>5</b>	SIO_L7_01	W16	<b>6</b>	SIO_L7_00	AB22
<b>7</b>	L7_G0_00P	AE25	<b>8</b>	L7_G0_01P	AC22
<b>9</b>	L7_G0_00N	AE26	<b>10</b>	L7_G0_01N	AC23
<b>11</b>	L7_G0_02P_DQS	AE24	<b>12</b>	L7_G0_03P	AD25
<b>13</b>	L7_G0_02N_DQS	AF25	<b>14</b>	L7_G0_03N	AD26
<b>15</b>	L7_G0_04P	AE23	<b>16</b>	L7_G0_05P	AD23
<b>17</b>	L7_G0_04N	AF23	<b>18</b>	L7_G0_05N_VREF	AD24
<b>19</b>	L7_G1_06P	AD21	<b>20</b>	L7_G1_07P	AF19
<b>21</b>	L7_G1_06N	AE21	<b>22</b>	L7_G1_07N	AF20
<b>23</b>	L7_G1_08P_DQS	AE22	<b>24</b>	L7_G1_09P	AD20
<b>25</b>	L7_G1_08N_DQS	AF22	<b>26</b>	L7_G1_09N	AE20
<b>27</b>	L7_G1_10P_GSCLK	AB21	<b>28</b>	L7_G1_11P_GMCLK	AA20
<b>29</b>	L7_G1_10N_GSCLK	AC21	<b>30</b>	L7_G1_11N_GMCLK	AB20
<b>31</b>	L7_G2_12P_GMCLK	AA19	<b>32</b>	L7_G2_13P_GSCLK	AC19
<b>33</b>	L7_G2_12N_GMCLK	AB19	<b>34</b>	L7_G2_13N_GSCLK	AD19
<b>35</b>	L7_G2_14P_DQS	AC18	<b>36</b>	L7_G2_15P	AE18
<b>37</b>	L7_G2_14N_DQS	AD18	<b>38</b>	L7_G2_15N	AF18
<b>39</b>	L7_G2_16P	Y18	<b>40</b>	L7_G2_17P	AE17
<b>41</b>	L7_G2_16N	AA18	<b>42</b>	L7_G2_17N	AF17
<b>43</b>	L7_G3_18P	AA17	<b>44</b>	L7_G3_19P	AC17
<b>45</b>	L7_G3_18N_VREF	AB17	<b>46</b>	L7_G3_19N	AD17

<b>47</b>	L7_G3_20P_DQS	Y16	<b>48</b>	L7_G3_21P	AB16
<b>49</b>	L7_G3_20N_DQS	Y17	<b>50</b>	L7_G3_21N	AC16
<b>51</b>	L7_G3_22P	Y15	<b>52</b>	L7_G3_23P	W14
<b>53</b>	L7_G3_22N	AA15	<b>54</b>	L7_G3_23N	W15
<b>55</b>	GND		<b>56</b>	GND	
<b>57</b>	NC		<b>58</b>	NC	
<b>59</b>					
<b>61</b>					
<b>63</b>					
<b>65</b>	GND		<b>66</b>	GND	
<b>67</b>	SIO_R6_01	V9	<b>68</b>	SIO_R6_00	V4
<b>69</b>	R6_G3_22P	Y8	<b>70</b>	R6_G3_23P	AB6
<b>71</b>	R6_G3_22N	AA8	<b>72</b>	R6_G3_23N	AC6
<b>73</b>	R6_G3_20P_DQS	V8	<b>74</b>	R6_G3_21P	AA5
<b>75</b>	R6_G3_20N_DQS	W8	<b>76</b>	R6_G3_21N	AB5
<b>77</b>	R6_G3_18P	Y7	<b>78</b>	R6_G3_19P	Y6
<b>79</b>	R6_G3_18N_VREF	AA7	<b>80</b>	R6_G3_19N	Y5
<b>81</b>	R6_G2_16P	AF5	<b>82</b>	R6_G2_17P	AC4
<b>83</b>	R6_G2_16N	AF4	<b>84</b>	R6_G2_17N	AD4
<b>85</b>	R6_G2_14P_DQS	AD5	<b>86</b>	R6_G2_15P	AE3
<b>87</b>	R6_G2_14N_DQS	AE5	<b>88</b>	R6_G2_15N	AF3
<b>89</b>	R6_G2_12P_GMCLK	AA4	<b>90</b>	R6_G2_13P_GSCLK	AC3
<b>91</b>	R6_G2_12N_GMCLK	AB4	<b>92</b>	R6_G2_13N_GSCLK	AD3
<b>93</b>	R6_G1_10P_GSCLK	AB2	<b>94</b>	R6_G1_11P_GMCLK	AA3
<b>95</b>	R6_G1_10N_GSCLK	AC3	<b>96</b>	R6_G1_11N_GMCLK	AA2
<b>97</b>	R6_G1_08P_DQS	AD1	<b>98</b>	R6_G1_09P	AE2
<b>99</b>	R6_G1_08N_DQS	AE1	<b>100</b>	R6_G1_09N	AF2
<b>101</b>	R6_G1_06P	AB1	<b>102</b>	R6_G1_07P	Y2
<b>103</b>	R6_G1_06N	AC1	<b>104</b>	R6_G1_07N	Y1

<b>105</b>	R6_G0_04P	W3	<b>106</b>	R6_G0_05P	U7
<b>107</b>	R6_G0_04N	Y3	<b>108</b>	R6_G0_05N_VREF	V7
<b>109</b>	R6_G0_02P_DQS	V3	<b>110</b>	R6_G0_03P	V6
<b>111</b>	R6_G0_02N_DQS	V2	<b>112</b>	R6_G0_03N	W6
<b>113</b>	R6_G0_00P	V1	<b>114</b>	R6_G0_01P	W5
<b>115</b>	R6_G0_00N	W1	<b>116</b>	R6_G0_01N	W4
<b>117</b>	GND		<b>118</b>	GND	
<b>119</b>	R6_VADJ		<b>120</b>	R6_VADJ	

## 1.4. 扩展底板

### 1.4.1. 扩展底板简介

MINI-100HP(200H)开发板扩展底板的外设资源如下：

#### 外设资源

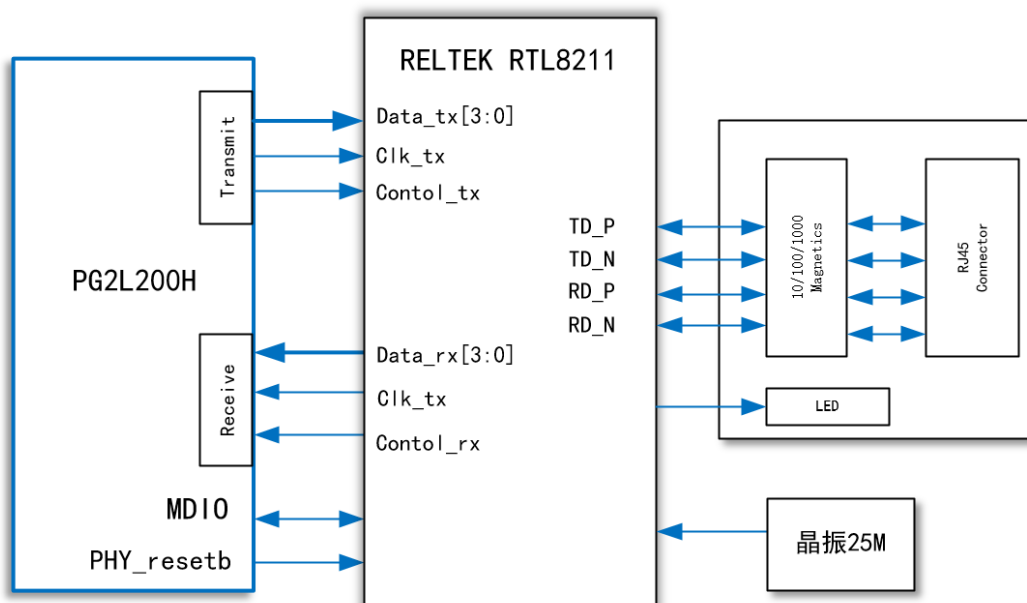
HDMI 输出接口	*1	10/100/1000M 以太网接口	*1
用户按键	*6	Jtag 调试接口	*1
USB 转 UART	*1	高速扩展接口	*1
HDMI 输入接口	*1	LED 灯	*6
40Pin 扩展口	*3	高速信号扩展口	*1

### 1.4.2. 外接通信接口

#### 1.4.2.1. 网口

MINI-100HP(200H)开发板使用 Realtek RTL8211F-CG PHY 实现了一个 10/100/1000 以太网端口，用于网络连接。该器件工作电压为支持 2.5V、3.3V。PHY 连接到 BANK L3，并通过 RGMII 接口连接到 MINI-100HP(200H)-MINI。RJ-45 连接器是 HFJ11-1G01E-L12RL，具有集成的自动缠绕磁性元件，可提高性能、质量和可靠性。RJ-45 有两个状态指示灯 LED，用于指示流量和有效链路状态。

下图为 MINI-100HP(200H)开发板上的网口连接框图。



网口连接框图

具体的管脚分配如下所示：

信号名称	描述	FPGA 管脚	RTL8211F Pin
PHY0_RXC	接收时钟线	D19	27
PHY0_RXCTRL	接收控制线	H16	26
PHY0_RXD[3]	接收数据线 3	B19	22
PHY0_RXD[2]	接收数据线 2	A19	23
PHY0_RXD[1]	接收数据线 1	E16	24
PHY0_RXD[0]	接收数据线 0	D16	25
PHY0_TXC	发送时钟线	G16	20
PHY0_TXCTRL	发送控制线	D20	19
PHY0_TXD[3]	发送数据线 3	D21	15
PHY0_TXD[2]	发送数据线 2	C21	16
PHY0_TXD[1]	发送数据线 1	B21	17
PHY0_TXD[0]	发送数据线 0	E20	18
PHY0_MDC	控制总线时钟	A25	13
PHY0_MDIO	控制总线数据	E21	14
RSTN_OUT	复位控制线，低有效	G25	12

### 1.4.2.2.串口

MINI-100HP(200H)扩展底板上集成了一路 USB 转串口模块，采用的 USB-UART 芯片是 CP2102，USB 接口采用 USB Type C 接口，可用 USB Type C 线连接到 PC 端进行串口数据通信。

USB Uart 电路设计的示意图如下图所示：

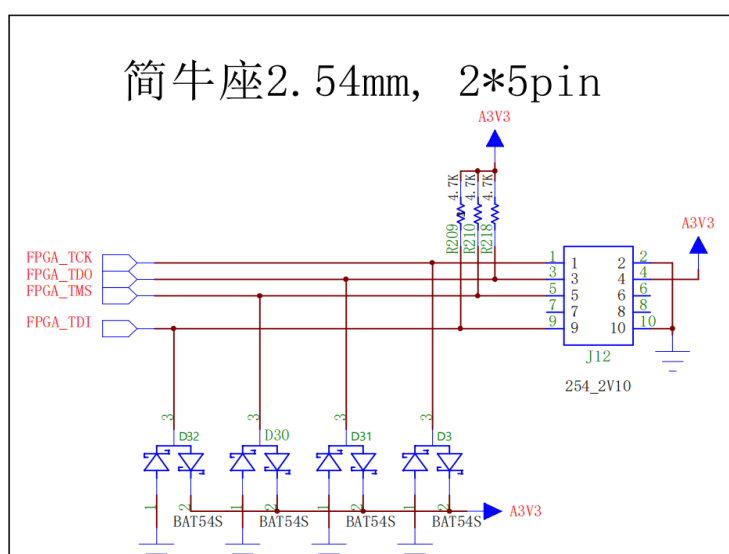


具体的管脚分配如下：

信号	描述	FPGA 管脚
FPGA_UART_RXD	UART 数据输入	B24
FPGA_UART_TXD	UART 数据输出	C24

### 1.4.2.3.JTAG

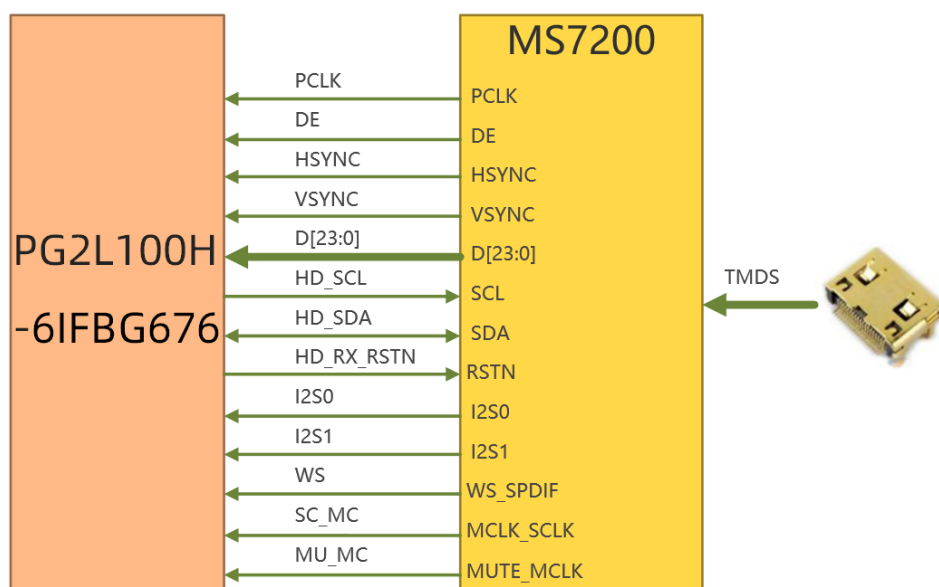
MINI-100HP(200H)扩展底板上的 JTAG 接口用于下载 FPGA 程序或者固化程序到 FLASH。在硬件设计上在 JTAG 信号位置添加了保护二极管来保证信号的电压在 FPGA 接受的范围，但仍需注意在通电的情况下，应避免插拔 jtag 接口的操作。



JTAG 连接座原理图

### 1.4.2.4.HDMI 输入接口

HDMI 输入接口的实现，选用了国产宏晶微公司的 MS7200 HDMI 接收芯片，兼容 HDMI1.4b 及 HDMI 1.4b 下标准视频的 3D 传输格式。支持的最高分辨率高达 4K @30Hz，最高采样率达到 300MHz；MS7200 支持 YUV 和 RGB 之间的色彩空间转换，数字接口支持 YUV 及 RGB 格式输出；MS7200 不仅支持通过 IIS 总线或 SPDIF 传输高清音频，还支持高比特音频（HBR）音频，在 HBR 模式下，音频采样率最高为 768KHz。其中 MS7200 的 IIC 配置接口与 FPGA 的 IO 相连，通过 FPGA 的编程来对 MS7200 进行初始化和控制操作，MINI-100HP(200H)-MINI 开发板上将 MS7200 的 SA 管脚下拉到地，故 IIC 的 ID 地址为 0x56；HDMI 输入接口的硬件连接如下图所示。



**HDMI 输入接口的硬件连接**

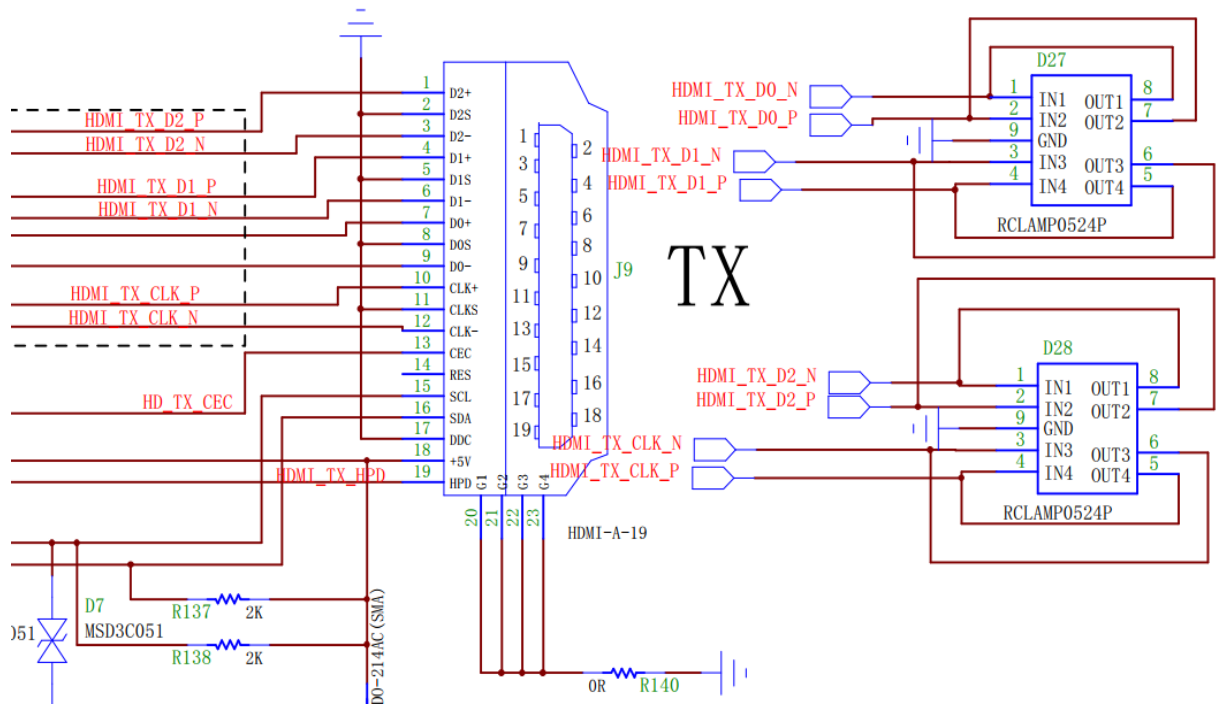
具体的管脚分配如下所示：

信号	功能描述	FPGA 管脚
HD_RX_PCLK	HDMI 显示图像像素时钟	K21
HD_RX_VS	HDMI 显示图像帧同步信号	M14
HD_RX_HS	HDMI 显示图像行同步信号	M17
HD_RX_DE	HDMI 显示图像有效像素点使能信号	M16
HD_RX_D0	HDMI 显示图像像素点数据位[0]	L18
HD_RX_D1	HDMI 显示图像像素点数据位[1]	L17
HD_RX_D2	HDMI 显示图像像素点数据位[2]	H18

HD_RX_D3	HDMI 显示图像像素点数据位[3]	J18
HD_RX_D4	HDMI 显示图像像素点数据位[4]	J21
HD_RX_D5	HDMI 显示图像像素点数据位[5]	H23
HD_RX_D6	HDMI 显示图像像素点数据位[6]	J23
HD_RX_D7	HDMI 显示图像像素点数据位[7]	H24
HD_RX_D8	HDMI 显示图像像素点数据位[8]	J24
HD_RX_D9	HDMI 显示图像像素点数据位[9]	K23
HD_RX_D10	HDMI 显示图像像素点数据位[10]	K22
HD_RX_D11	HDMI 显示图像像素点数据位[11]	J16
HD_RX_D12	HDMI 显示图像像素点数据位[12]	K15
HD_RX_D13	HDMI 显示图像像素点数据位[13]	K17
HD_RX_D14	HDMI 显示图像像素点数据位[14]	K16
HD_RX_D15	HDMI 显示图像像素点数据位[15]	L15
HD_RX_D16	HDMI 显示图像像素点数据位[16]	M15
HD_RX_D17	HDMI 显示图像像素点数据位[17]	H19
HD_RX_D18	HDMI 显示图像像素点数据位[18]	J19
HD_RX_D19	HDMI 显示图像像素点数据位[19]	J20
HD_RX_D20	HDMI 显示图像像素点数据位[20]	K20
HD_RX_D21	HDMI 显示图像像素点数据位[21]	G21
HD_RX_D22	HDMI 显示图像像素点数据位[22]	G20
HD_RX_D23	HDMI 显示图像像素点数据位[23]	H22
HD_RX_SC_MC	MS7200 音频通道 I2S 的串行时钟信号	F22
HD_RX_MU_MC	MS7200 音频通道 I2S 的主时钟信号或 Mute 信号	F23
HD_RX_I2S1	MS7200 音频通道 I2S 的数据通道 1	G22
HD_RX_I2S0	MS7200 音频通道 I2S 的数据通道 0	E23
HD_RX_WS_SP	MS7200 音频通道 I2S 的位时钟	H21
HD_RX_INT	MS7200 输出中断信号	L24

HD_SCL	MS7200 、MS7210 控制通道 IIC 的时钟信号	J15
HD_SDA	MS7200 、MS7210 控制通道 IIC 的数据信号	J14
RSTN_OUT	MS7200 、MS7210 硬件复位信号，低电平有效	G25

### 1.4.2.5.HDMI 输出接口



HDMI 输出接口的硬件连接

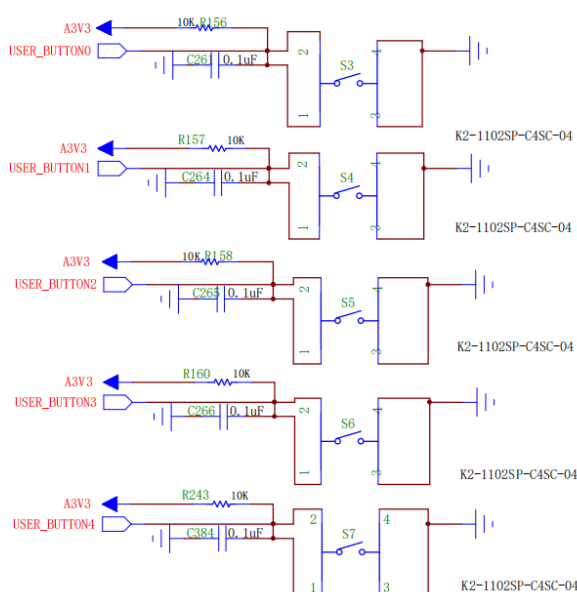
具体的管脚分配如下表所示：

信号	功能描述	FPGA 管脚
HDMI_TX_CLK_P	HDMI 显示图像像素时钟	N21
HDMI_TX_CLK_N	HDMI 显示图像像素时钟	N22
HDMI_TX_D2_P	HDMI 显示图像像素点数据位[2]	N23
HDMI_TX_D2_N	HDMI 显示图像像素点数据位[2]	N24
HDMI_TX_D1_P	HDMI 显示图像像素点数据位[1]	P23

HDMI_TX_D1_N	HDMI 显示图像像素点数据位[1]	P24
HDMI_TX_D0_P	HDMI 显示图像像素点数据位[0]	R25
HDMI_TX_D0_N	HDMI 显示图像像素点数据位[0]	P25

### 1.4.2.6.按键

MINI-100HP(200H)开发板上扩展有 5 个用户按键，按键连接在 FPGA 普通 IO 上，低电平有效；按键未按下时，按键信号为高电平，当按键按下时，按键信号为低电平。



按键电路图

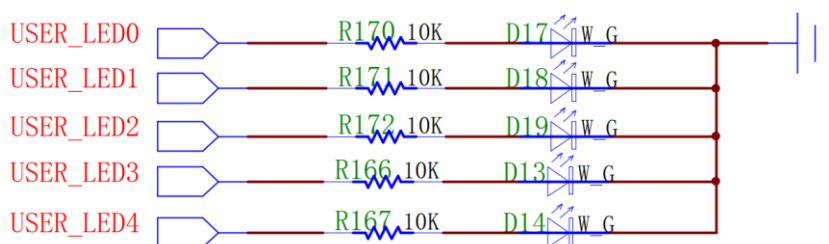
具体管脚分配如下：

信号	描述	FPGA 管脚
KEY0	按键控制信号	C22
KEY1		C23
KEY2		B22
KEY3		A22
KEY4		B20

### 1.4.2.7.LED 灯

MINI-100HP(200H)开发板上扩展有 8 个用户 LED 灯，连接在 PG2L100H 的 bank L3 上，FPGA 输出高电平时 LED 灯亮。

扩展板上 LED 灯功能电路图如下图所示：



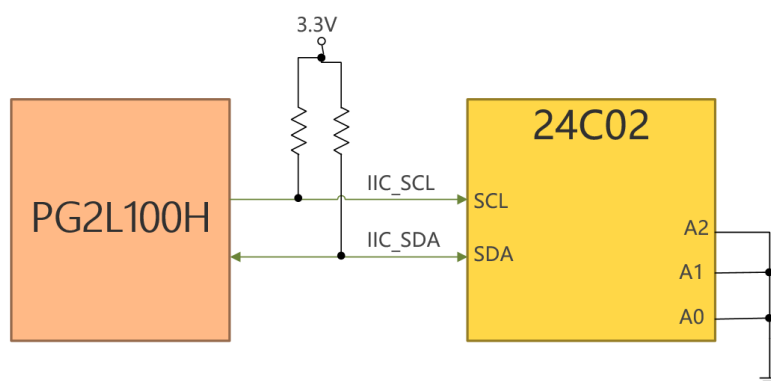
**LED 灯电路图**

具体的管脚分配如下所示：

信号	描述	FPGA 管脚
LED0	LED0 控制信号	A20
LED1	LED1 控制信号	C19
LED2	LED2 控制信号	C18
LED3	LED3 控制信号	E18
LED4	LED4 控制信号	A17

### 1.4.2.8.EEPROM

MINI-100HP(200H)开发板板载了一片容量为：2Kbit (1\*256\*8bit) 的 EEPROM ， 型号为 24LC02,由 1 个 256byte 的 block 组成,通过 IIC 总线进行通信。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图为 EEPROM 的设计示意图；



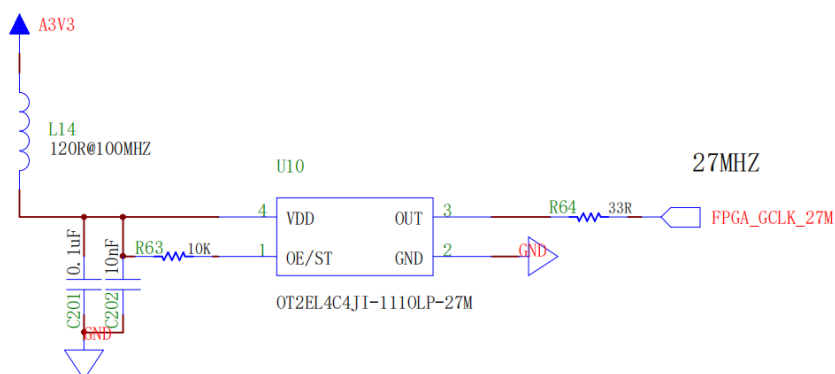
**EEPROM 的设计示意图**

具体的管脚分配如下：

信号	描述	FPGA 管脚
SCL	EEPROM 时钟	A23
SDA	EEPROM 数据	A24

### 1.4.3. 时钟

下图 U10 为扩展底板 27MHz 有源单端时钟预留于扩展地板上。



#### 扩展底板 27MHz 有源单端时钟

具体的管脚分配如下表所示：

信号	描述	FPGA 管脚
FPGA_GCLK_27M	单端时钟	E17

### 1.4.4. 扩展 IO

MINI-100HP(200H)底板上有三个 40Pin 扩展口可供用户自由使用，其中两个 40Pin 扩展端口 J10 和 J25 为 PG2L100H/200H 共用，J26 扩展口为 PG2L200H 独有。

J10 端口			
扩展口 IO 号	IO 管脚/信号	扩展口 IO 号	IO 管脚/信号
1	GND	2	A5V0
3	R21	4	R20
5	N19	6	P19
7	M25	8	M24
9	T25	10	T24
11	R22	12	T22

13	K26	14	K25
15	L25	16	L24
17	L23	18	L22
19	AA25	20	Y25
21	AB25	22	AA24
23	AC24	24	AB24
25	R23	26	T23
27	P26	28	R26
29	M26	30	N26
31	M22	32	M21
33	U26	34	U25
35	AC26	36	AB26
37	GND	38	GND
39	A3V3	40	A3V3

J25 端口			
扩展口 IO 号	IO 管脚/信号	扩展口 IO 号	IO 管脚/信号
1	GND	2	A5V0
3	V14	4	U14
5	T18	6	T17
7	W18	8	V18
9	U19	10	T19
11	U20	12	T20
13	W26	14	V26
15	Y26	16	W25
17	Y23	18	Y22
19	W23	20	V23
21	Y20	22	W20
23	W19	24	V19
25	T15	26	T14

27	U16	28	U15
29	V17	30	V16
31	V21	32	U21
33	W24	34	V24
35	AA23	36	AA22
37	V14	38	GND
39	A3V3	40	A3V3

J26 端口 PG2L200H 独有扩展口,			
扩展口 IO 号	IO 管脚/信号	扩展口 IO 号	IO 管脚/信号
1	GND	2	A5V0
3	AC23	4	AC22
5	AD26	6	AD25
7	AD24	8	AD23
9	AF20	10	AF19
11	AE20	12	AD20
13	AF18	14	AE18
15	AF17	16	AE17
17	AB20	18	AA20
19	AD17	20	AC17
21	AC16	22	AB16
23	W15	24	W14
25	AE26	26	AE25
27	AF25	28	AF24
29	AF23	30	AE23
31	AD19	32	AC19
33	AE21	34	AD21
35	AF22	36	AE22
37	GND	38	GND
39	A3V3	40	A3V3

### 1.4.5.高速扩展 IO

MINI-100HP(200H)底板留有高速扩展接口来满足对于高速通信的需求。

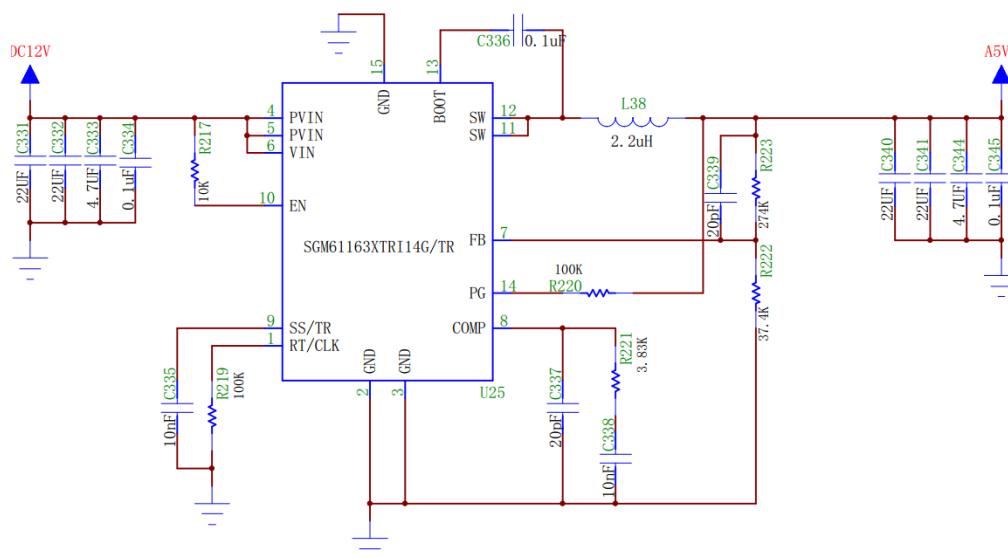
J5 高速扩展口					
	信号名	管脚		信号名	管脚
1	A3V3		2	A3V3	
3	A3V3		4	A3V3	
5	GND		6	GND	
7	GND		8	GND	
9	HSSTRX3P_QL3	D12	10	HSSTREFCLK0P_QL3	F11
11	HSSTRX3N_QL3	C12	12	HSSTREFCLK0N_QL3	E11
13	GND		14	GND	
15	HSSTRX2P_QL3	B13	16	HSSTTX3P_QL3	D10
17	HSSTRX2N_QL3	A13	18	HSSTTX3N_QL3	C10
19	GND		20	GND	
21	HSSTRX1P_QL3	D14	22	HSSTTX2P_QL3	B9
23	HSSTRX1N_QL3	C14	24	HSSTTX2N_QL3	A9
25	GND		26	GND	
27	HSSTRX0P_QL3	B11	28	HSSTTX1P_QL3	D8
29	HSSTRX0N_QL3	A11	30	HSSTTX1N_QL3	C8
31	GND		32	GND	
33	GND		34	HSSTTX0P_QL3	B7
35	GND		36	HSSTTX0N_QL3	A7
37	L5_G0_05N_VREF_D8	N18	38	GND	
39	GND		40	L4_G3_18P_A22	G24
41	GND		42	L4_G3_18N_VREF_A21	F24
43	GND		44	GND	
45	GND		46	GND	
47	L6_VADJ	L6_VADJ	48	L6_VADJ	L6_VADJ
49	L6_VADJ	L6_VADJ	50	L6_VADJ	L6_VADJ

51	GND		52	GND	
53	SIO_L6_01	U17	54	GND	
55	SIO_L6_00	U24	56	GND	
57	GND		58	GND	
59	GND		60	GND	
61	GND		62	GND	
63	GND		64	GND	
65	GND		66	GND	
67	GND		68	GND	
69	GND		70	GND	
71	L6_G2_13P_GSCLK	W21	72	GND	
73	L6_G2_13N_GSCLK	Y21	74	GND	
75	GND		76	GND	
77	HSSTREFCLK0P_QL7	AA13	78	GND	
79	HSSTREFCLK0N_QL7	AB13	80	GND	
81	GND		82	GND	
83	HSSTTX2P_QL7	AC8	84	GND	
85	HSSTTX2N_QL7	AD8	86	GND	
87	GND	GND	88	GND	
89	HSSTRX2P_QL7	AC14	90	GND	
91	HSSTRX2N_QL7	AD14	92	GND	
93	GND		94	GND	
95	GND		96	GND	
97	HSSTTX3P_QL7	AE7	98	HSSTRX3P_QL7	AE11
99	HSSTTX3N_QL7	AF7	100	HSSTRX3N_QL7	AF11
101	GND		102	GND	
103	HSSTTX1P_QL7	AE9	104	HSSTRX1P_QL7	AE13
105	HSSTTX1N_QL7	AF9	106	HSSTRX1N_QL7	AF13
107	GND		108	GND	
109	HSSTTX0P_QL7	AC10	110	HSSTRX0P_QL7	AC12

111	HSSTTX0N_QL7	AD10	112	HSSTRX0N_QL7	AD12
113	GND		114	GND	
115	GND		116	GND	
117	PCIE_12V	PCIE_12V	118	PCIE_12V	PCIE_12V
119	PCIE_12V	PCIE_12V	120	PCIE_12V	PCIE_12V

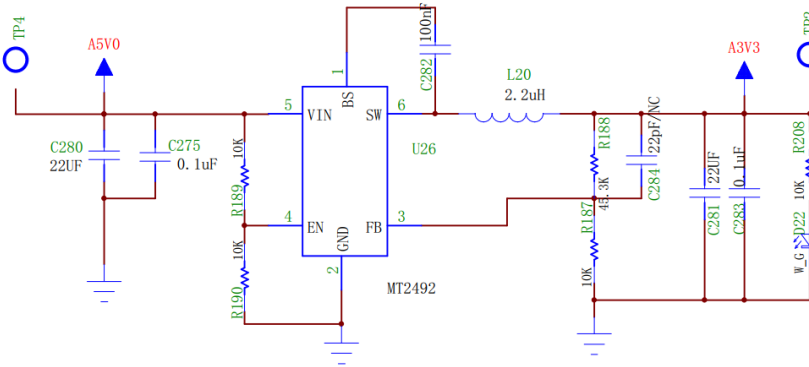
### 1.4.6.供电电源

开发板的电源输入电压为+12V，请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 SGM61163 把+12V 电压转化成+5V 电源，最大输出电流 6A;另使用两颗 DC/DC 电源芯片 MT2492，一路把+5V 转换成+3.3V 电源最大输出电流 2A 供扩展底板使用，另一路 VADJ 支持用户通过跳线帽（J24）选择把+5V 转换成+2.5V/+1.8V 电源最大输出电流 2A，用户可通过跳线帽（J20）选择+3.3V/VADJ 为核心板 BANK\_L6 和 BANK\_L7 供电；同时扩展板上的+5V 电源通过板间连接器给核心板供电，扩展板上电源设计如下图所示：



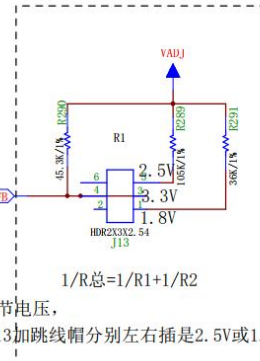
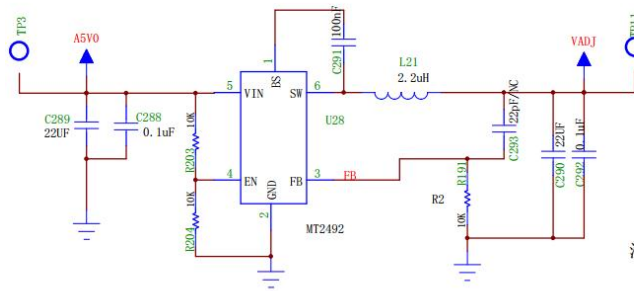
**SGM61163 (12V 转 5V)**

$$V_{out} = 0.6 * (1 + R1/R2)$$



MT2492 (5V 转 3.3V)

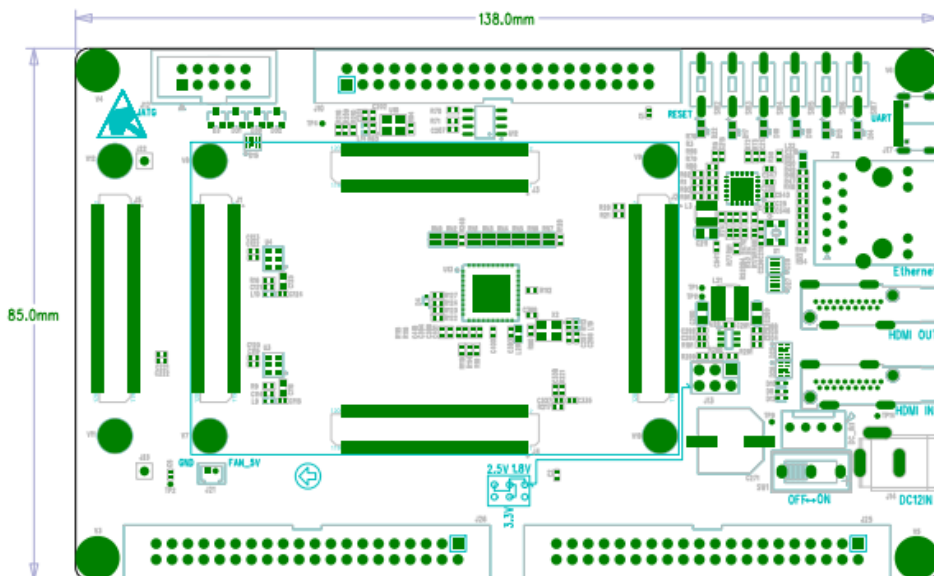
$$V_{out} = 0.6 * (1 + R1/R2)$$



注意：VADJ是 BANK调节电压，默认是3.3V，J13加跳线帽分别左右插是2.5V或1.8V

MT2492 (5V 转 2.5V/1.8V)

### 1.4.7. 底板尺寸图



扩展底板尺寸图