

## 7. DDR3 读写实验例程

### 7.1 MES50HP 开发板简介

MES50HP 开发板集成两颗 4Gbit (512MB) DDR3 芯片, 型号为 MT41K256M16。DDR3 的总线宽度共为 32bit。DDR3 SDRAM 的最高数据速率 800Mbps (详情请查看“MES50HP 开发板硬件使用手册”)。

### 7.2 实验要求

生成 DDR3 IP 官方例程, 实现 DDR3 的读写控制, 了解其工作原理和用户接口。

### 7.3 DDR3 控制器简介

PGL50H 为用户提供一套完整的 DDR memory 控制器解决方案, 配置方式比较灵活, 采用软核实现 DDR memory 的控制, 有如下特点:

- 支持 DDR3
- 支持 x8、x16 Memory Device
- 最大位宽支持 32 bit
- 支持裁剪的 AXI4 总线协议
- 一个 AXI4 256 bit Host Port
- 支持 Self\_refresh, Power down
- 支持 Bypass DDRC
- 支持 DDR3 Write Leveling 和 DQS Gate Training
- DDR3 最快速率达 800 Mbps

### 7.4 实验设计

#### 7.4.1 安装 DDR3 IP 核

PDS 安装后, 需手动添加 DDR3 IP, 请按以下步骤完成:

(1) DDR3 IP 文件: 6\_IP\_setup\_packet\DDR3\ipsxb\_hmic\_s\_v1\_4

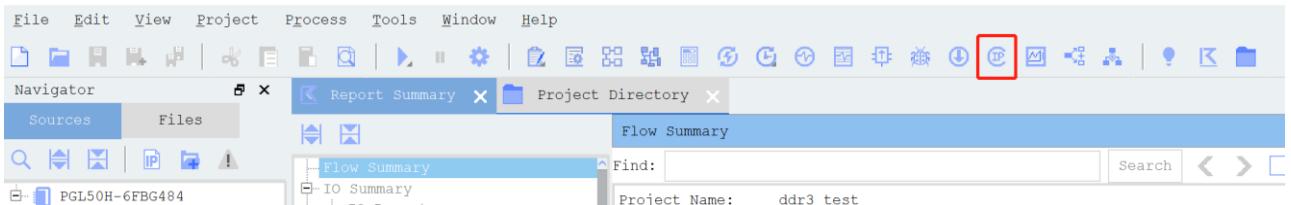
JHP > MES50HP_v1 > 6_IP > DDR3			
授予访问权限 v 新建文件夹			
名称	修改日期	类型	大小
ipsxb_hmic_s_v1_4.iar	2022/11/1 8:23	IAR 文件	5,169 KB

## (2) IP 安装步骤: 1\_Demo\_document\工具使用篇\03\_IP 核安装与查看用户指南

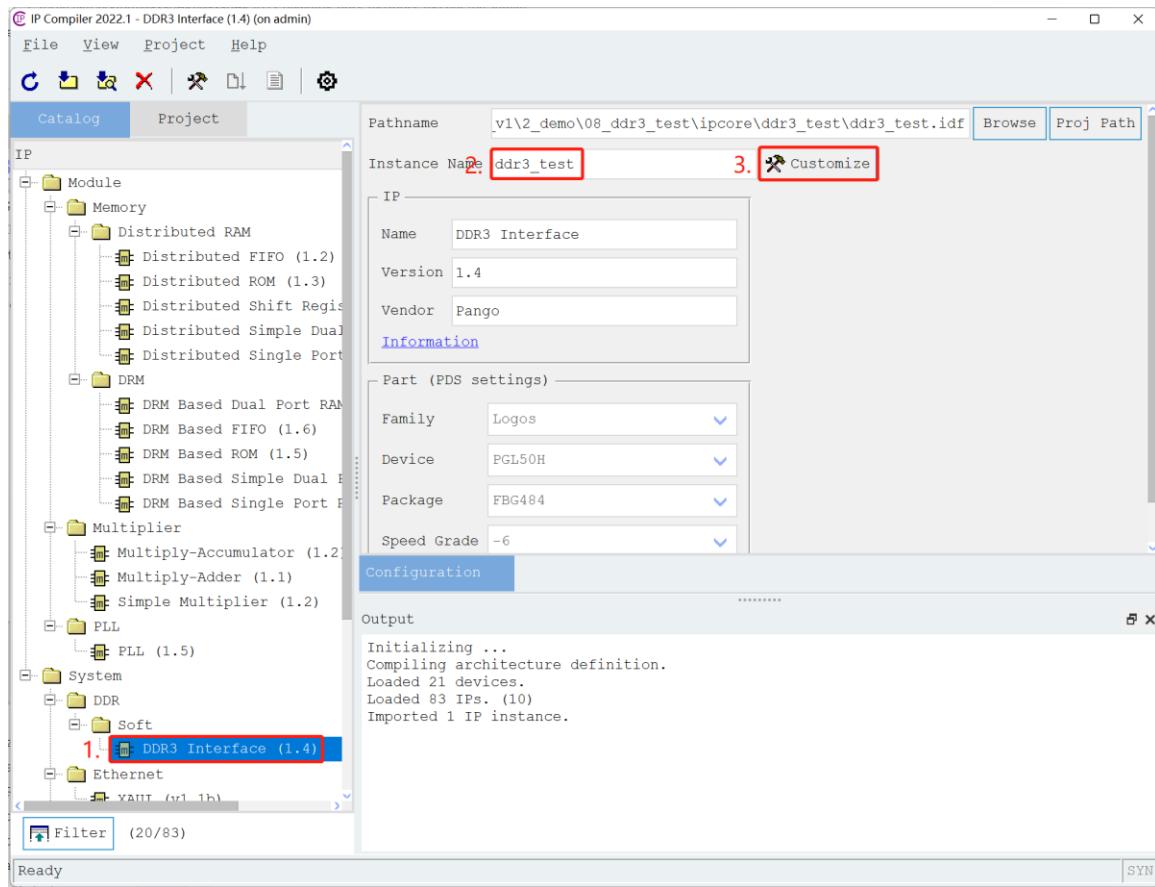
J50HP > MES50HP_v1 > 1_教程说明 > 工具使用篇			
新建文件夹			
名称	修改日期	类型	大小
01_PDS安装指导手册.pdf	2023/1/10 11:34	Adobe Acrobat 文档	1,214 KB
02_PDS快速使用手册.pdf	2023/1/13 14:26	Adobe Acrobat 文档	4,473 KB
03_IP核安装与查看用户指南.pdf	2022/10/29 11:01	Adobe Acrobat 文档	429 KB
04_FPGA&CPLD的下载与固化.pdf	2022/11/1 15:36	Adobe Acrobat 文档	1,307 KB
05_PDS与modelsim联合仿真.pdf	2022/10/28 20:52	Adobe Acrobat 文档	357 KB

### 7.4.2 DDR3 读写 Example 工程

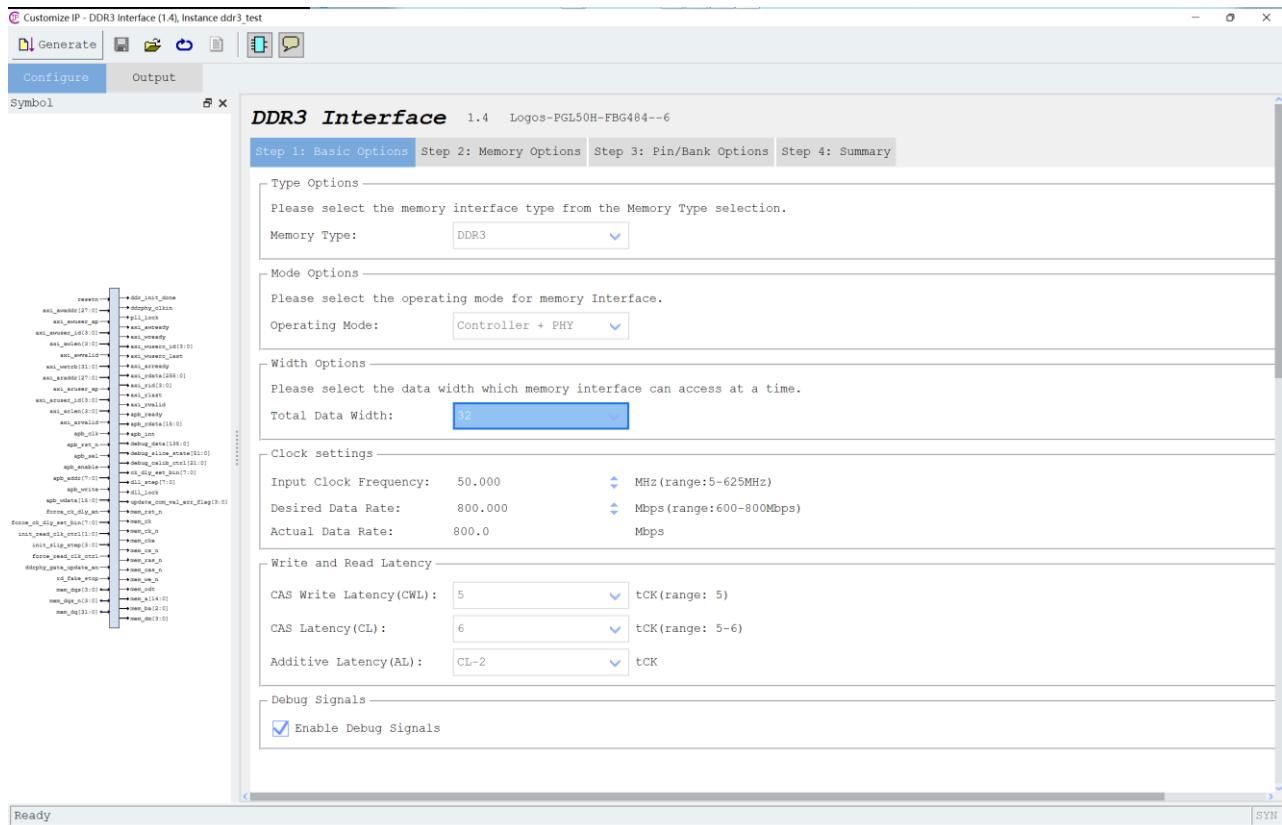
1. 打开 PDS 软件，新建工程 ddr3\_test，点开如下图标，打开 IP Compiler;



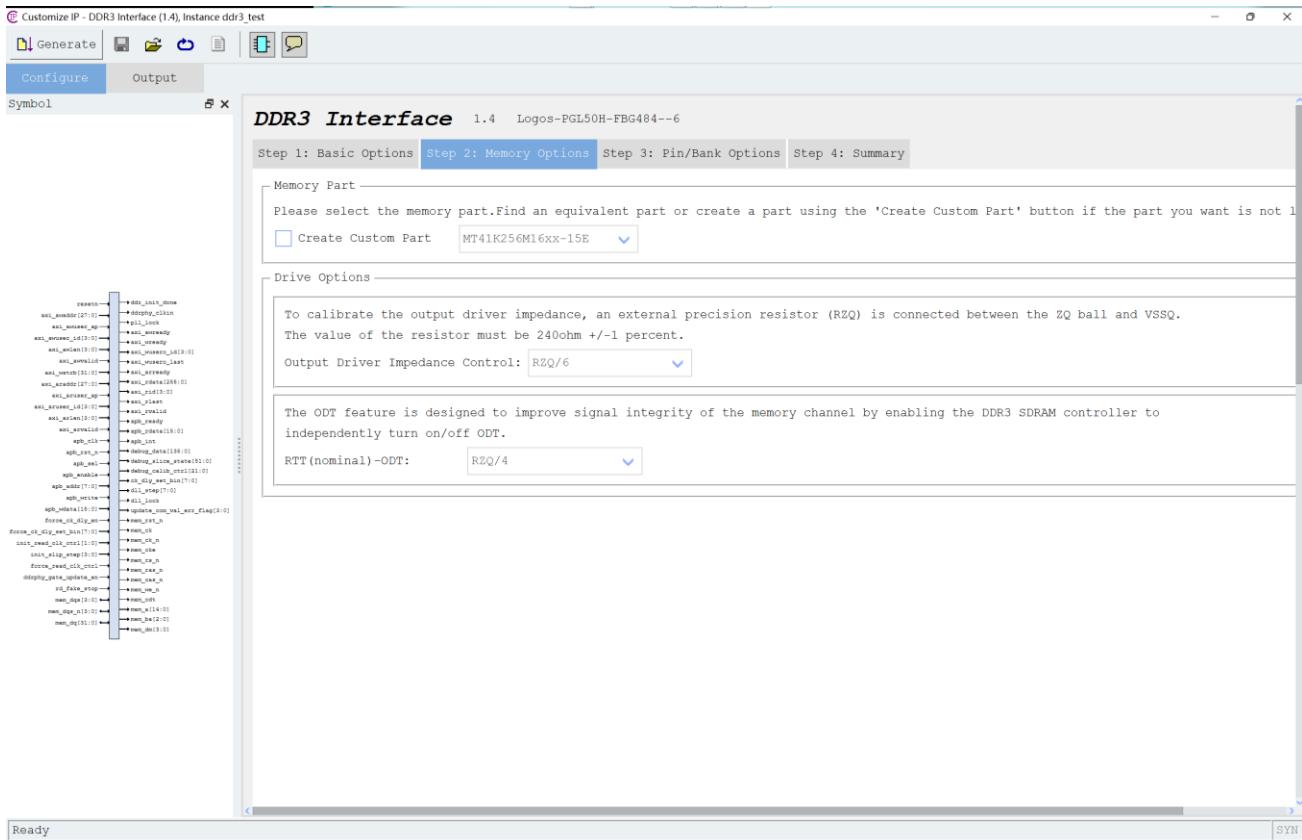
2. 选择 DDR3 IP，取名，然后点击 Customize;



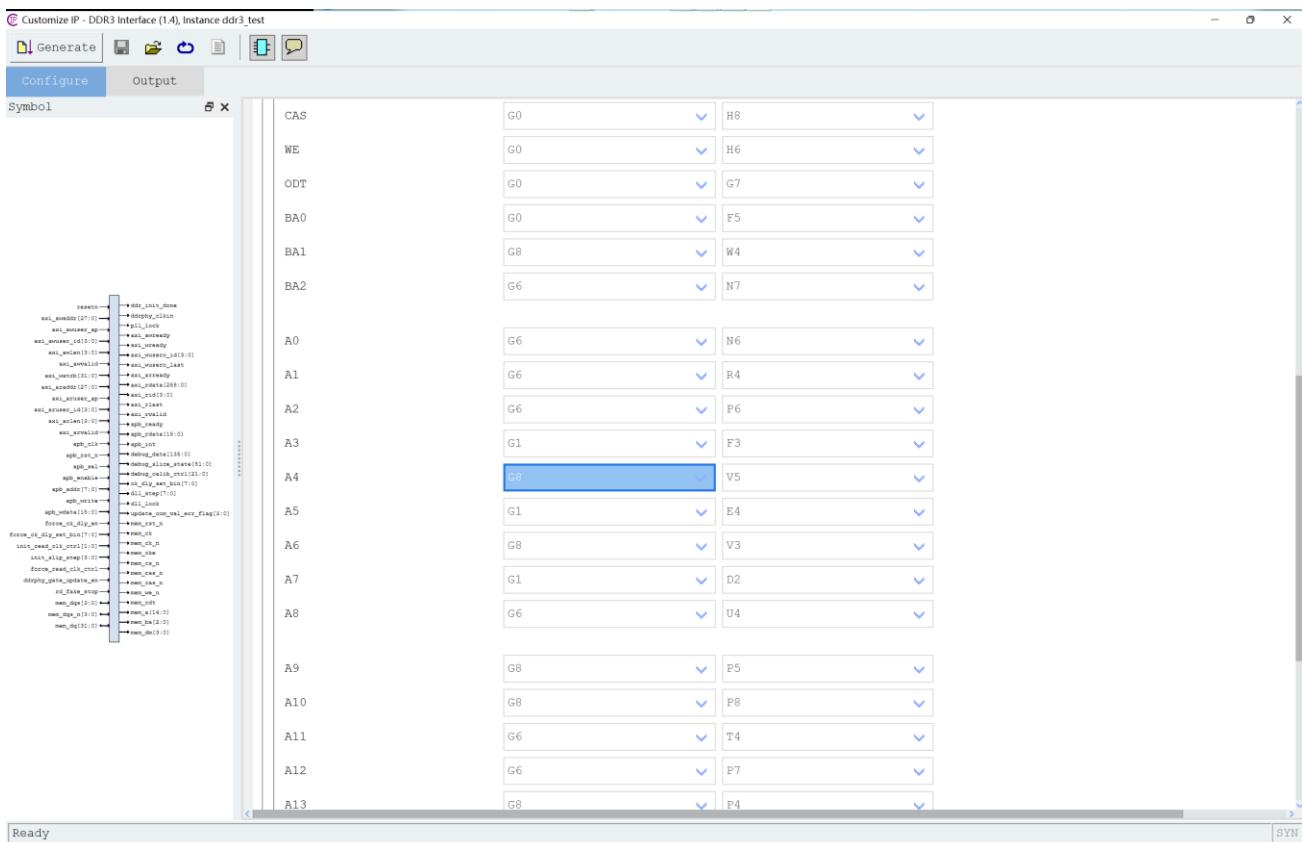
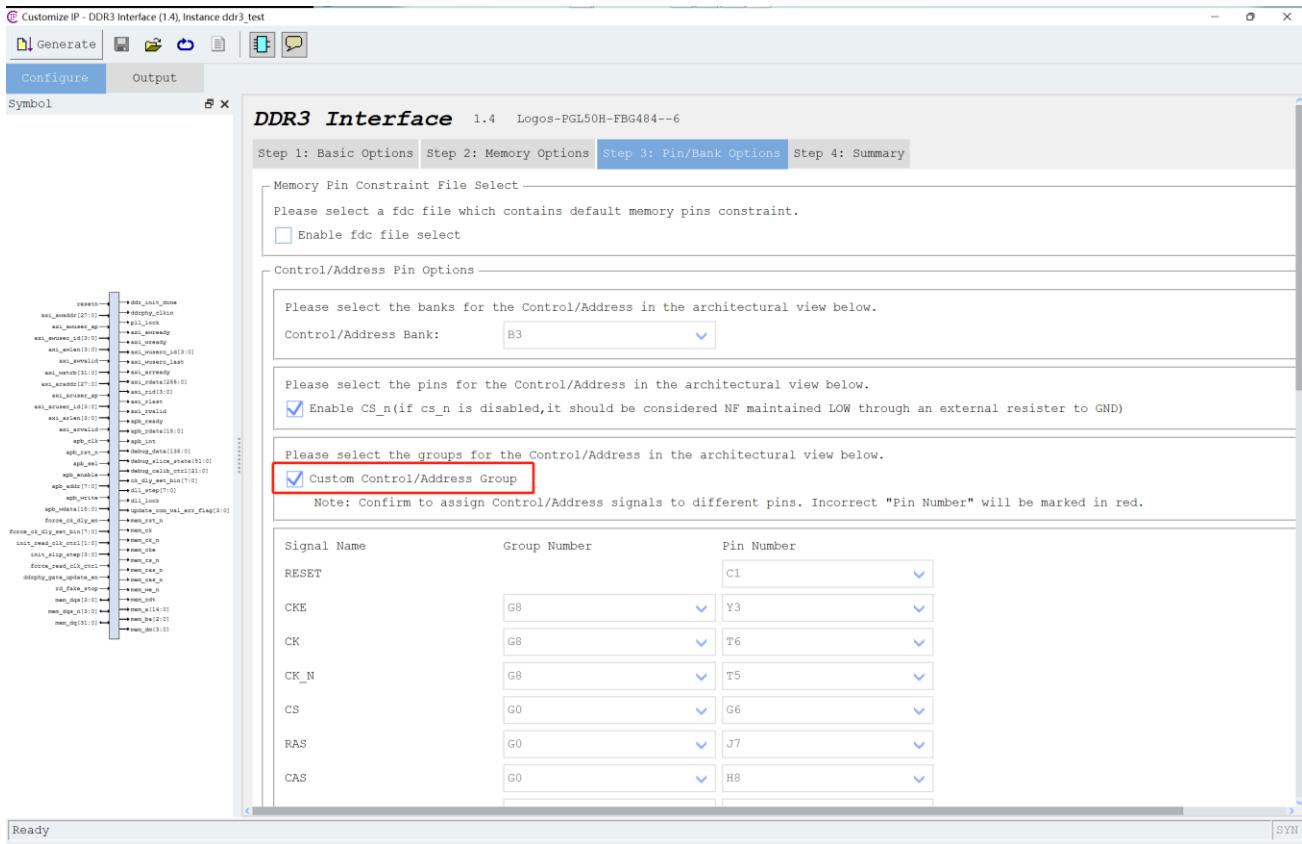
### 3. 在 DDR3 设置界面中 Step1 按照如下设置：

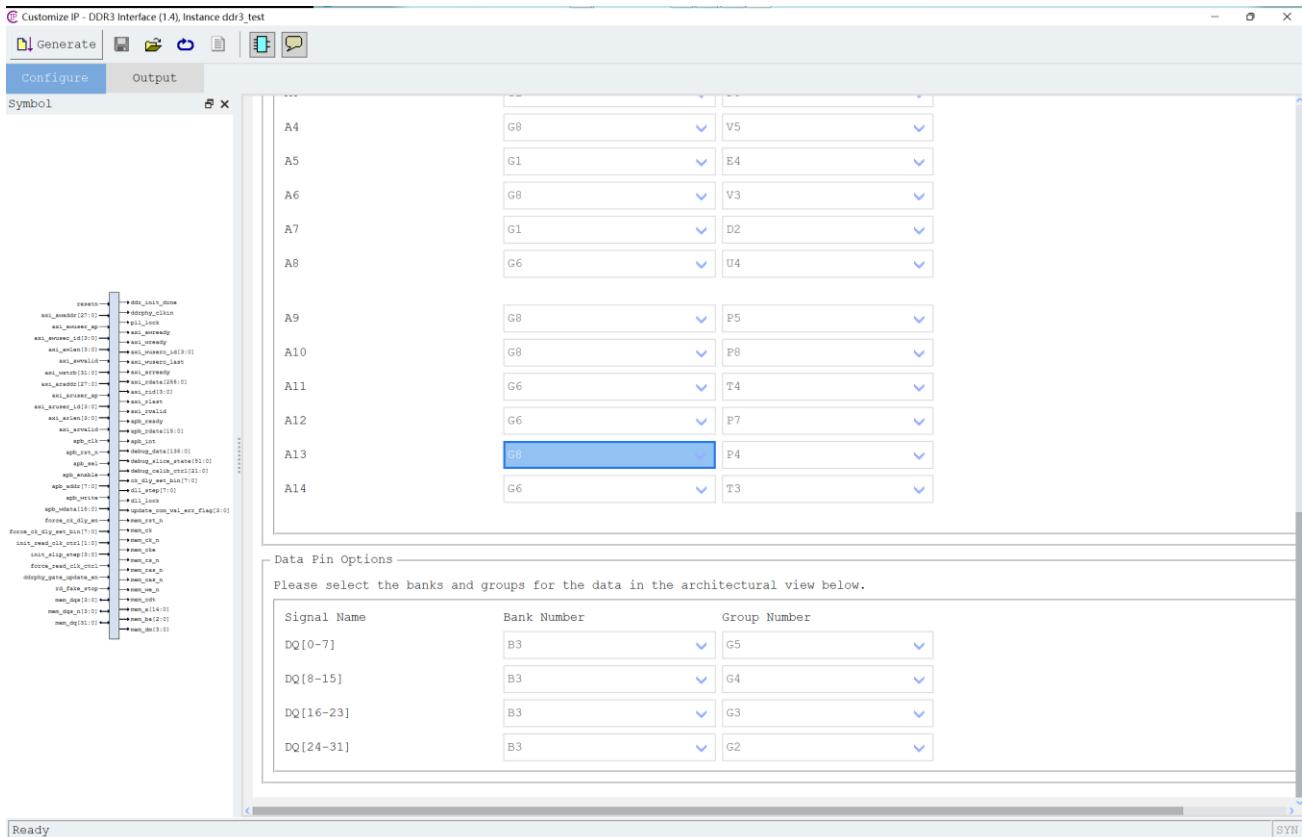


#### 4. Step2 按照如下设置:

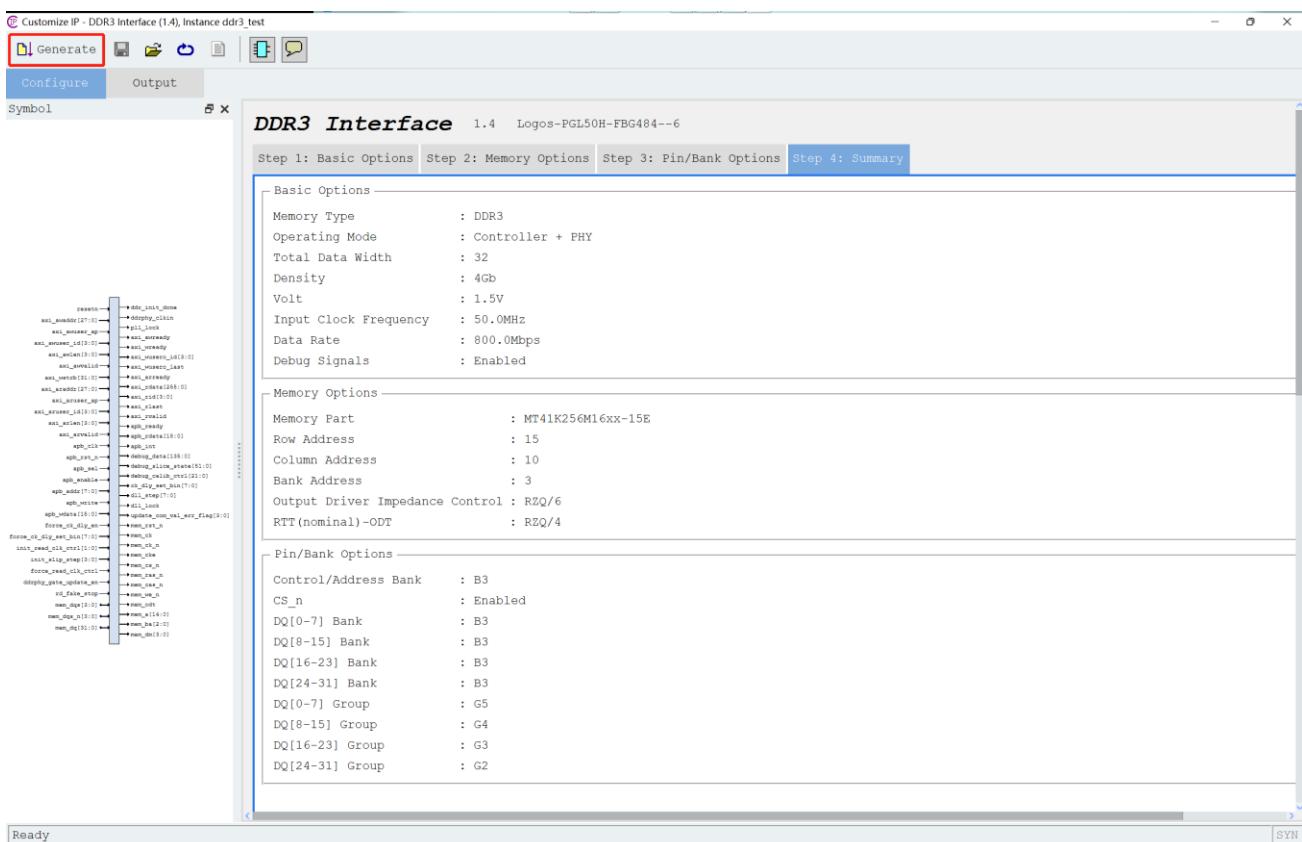


#### 4. Step3 按照如下设置, 勾选 Custom Control/Address Group, 管脚约束参考原理图:





## 5. Step4 为概要，点击 Generate 可生成 DDR3 IP;



## 6. 关闭本工程，按此路径打开 Example 工程:

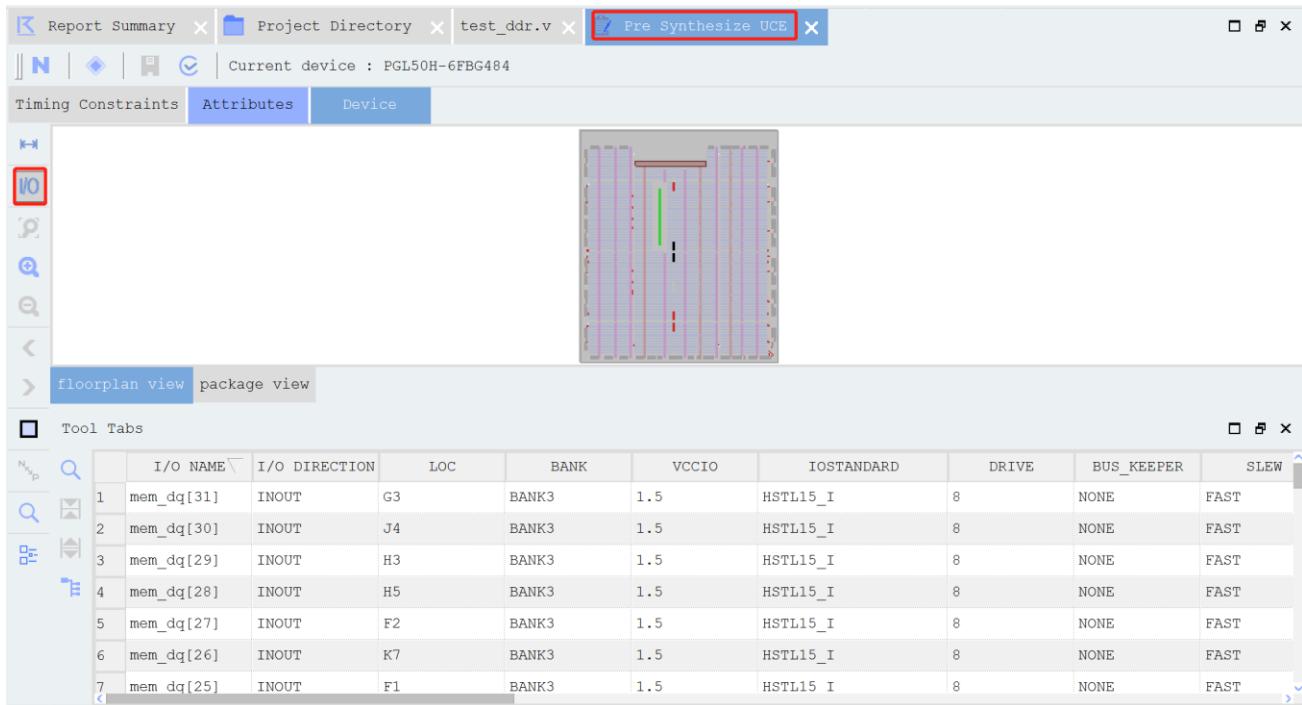
2\_Demo\08\_ddr3\_test\ipcore\ddr3\_test\pnr

50HP > MESS50HP_v1 > 2_demo > 08_ddr3_test > ipcore > ddr3_test > pnr >			
新建文件夹			
名称	修改日期	类型	大小
compile	2023/2/23 22:02	文件夹	
constraint_backup	2023/2/23 21:49	文件夹	
device_map	2023/2/23 22:03	文件夹	
generate_bitstream	2023/2/23 22:06	文件夹	
ipcore	2023/2/23 21:50	文件夹	
log	2023/2/23 21:59	文件夹	
place_route	2023/2/23 22:06	文件夹	
report_timing	2023/2/23 22:06	文件夹	
synthesize	2023/2/23 22:02	文件夹	
ddr_test.fdc	2023/2/23 21:49	FDC 文件	32 KB
ddr3_test.backup_1.pds	2023/2/23 21:41	PDS 文件	18 KB
ddr3_test.pds	2023/2/23 22:06	PDS 文件	23 KB

## 7. 打开顶层文件 free\_clk、ref\_clk 可使用同一时钟源:

```
test ddr.v
19 parameter MEM_DM_WIDTH      = MEM_DQ_WIDTH/8,
20 parameter MEM_DQS_WIDTH     = MEM_DQ_WIDTH/8,
21 parameter CTRL_ADDR_WIDTH   = MEM_ROW_ADDR_WIDTH + MEM_BADDR_WIDTH + MEM_COL_I
22 )
23   input ref_clk,
24   //input free_clk,           ← 这里是 free_clk
25   input rst_board,
26   output pll_lock,
27   output ddr_init_done,
28
29 //uart
30   input uart_rxd,
31   output uart_txd,
32
33   output mem_rst_n,
34   output mem_ck,
35   output mem_ck_n,
36   output mem_cke,
37
38   output mem_cs_n,
39
40   output mem_ras_n,
41   output mem_cas_n,
42   output mem_we_n,
43   output mem_odt,
44   output [MEM_ROW_ADDR_WIDTH-1:0] mem_a,
45   output [MEM_BADDR_WIDTH-1:0] mem_ba,
46   inout [MEM_DQS_WIDTH-1:0] mem_dqs,
47   inout [MEM_DQS_WIDTH-1:0] mem_dqs_n,
48   inout [MEM_DQ_WIDTH-1:0] mem_dq,
49   output [MEM_DM_WIDTH-1:0] mem_dm,
50   output reg heart_beat_led,
51   output err_flag_led,
52
53 );
54 assign free_clk = ref_clk ;
```

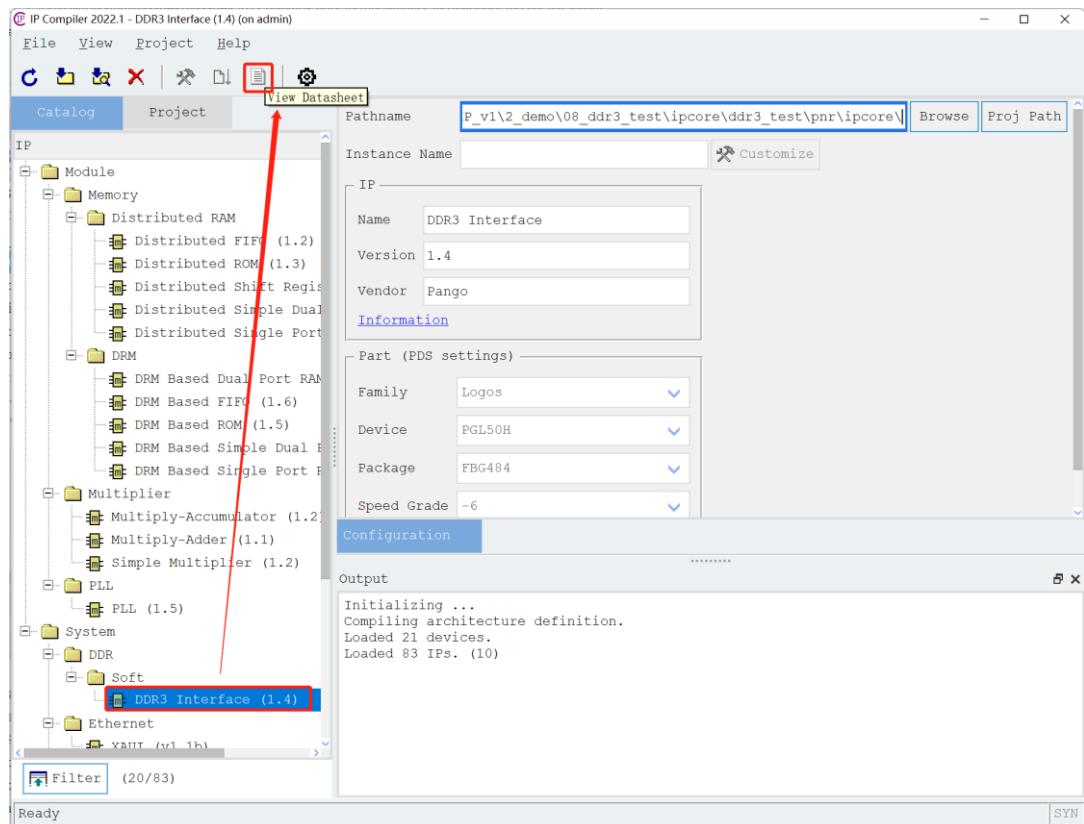
8. 对“Step3 已做管脚约束”外的其他管脚，对照原理图使用 UCE 工具进行修改：



9. 以下管脚可约束在 LED，方便观察实验现象；

ddr_init_done	OUTPUT	B2
err_flag_led	OUTPUT	A2
heart_beat_led	OUTPUT	B3
pll_lock	OUTPUT	A3

10. 可按以下方式查看 IP 核的用户指南，了解 Example 模块组成；



## 7.5 实验现象

注：例程位置：2\_Demo\07\_ddr3\_test\ipcore\ddr3\_test\pnr

下载程序，可以看到 LED1 常亮，LED2 常灭，LED3 闪烁，LED4 常亮；

信号名称	参考说明	LED 编号
ddr_init_done	初始化标志	1
err_flag_led	数据检测错误信号	2
heart_beat_led	心跳信号	3
pll_lock	PLL 锁定指示	4