



MES-SPEAKER 硬件使用手册

版本日期：2024-02-18

Administrator: 深圳市小眼睛半导体科技有限公司

联系邮箱: support@meyesemi.com

[QQ 群: 808770961](#)

公司网址: www.meyesemi.com

微信公众号: 小眼睛 FPGA

购买渠道: [小眼睛半导体](#)

客服微信: 17665247134

产品简述

MES-Speaker 是一款音频输出模块，接口为 3.5mm 的 3 环音频接口，该模块配备 ES8156 音频芯片与 SGM8903YTS14G/TR 功放芯片，可以接入喇叭和耳机，或其他设备。

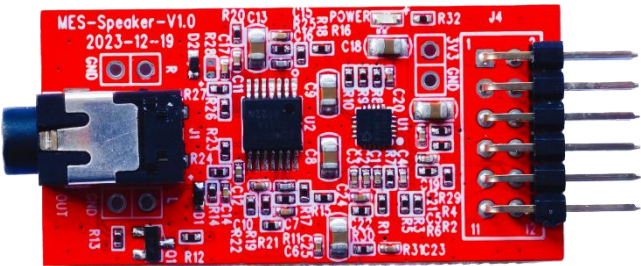


图 1 音频输出模块实物图

管脚说明

该模块可以通过 PMOD 扩展口连接到 FPGA 开发板上，接口电压 3.3V。
MES-Speaker 原理图中 PMOD 扩展口对应管脚分布如图所示：

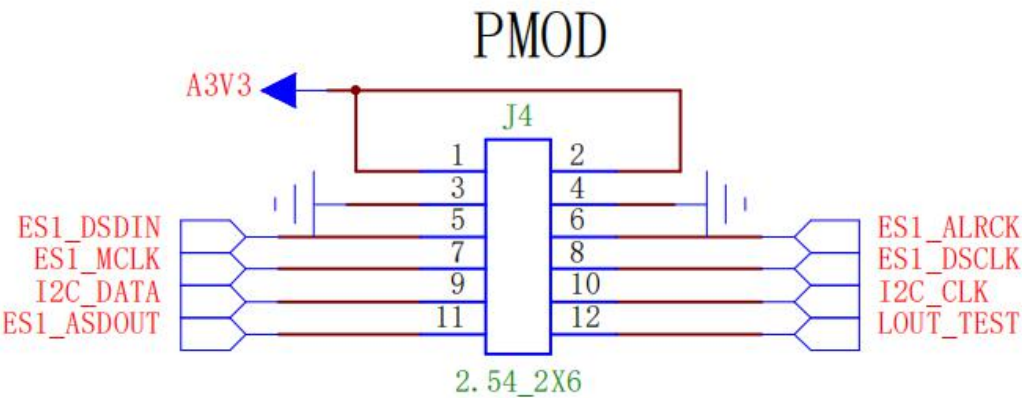


图 2 音频模块 PMOD 管脚分布图

在使用 FPGA 对管脚进行约束时，应注意电源和地的位置，根据它们的位置判断管脚的约束。

在配合“小眼睛科技”的 FPGA 开发板时，我们一般采用 PMOD 扩展板连接 FPGA 板卡与音频模块。PMOD 扩展板一共有四组 PMOD 接口，分别为 PMOD-A、

PMOD-B、PMOD-C、PMOD-D，使用这些接口连接音频输出模块时，信号与管脚的对应关系如下表所示：

（FPGA 板卡以盘古 50K 板卡管脚为例）

PMOD-A					
信号名称	网络名称	PGL50H 管脚	信号名称	网络名称	PGL50H 管脚
ES1_ASOUT	EX_IO_14N	U10	LOUT_TEST	EX_IO_14P	T10
I2C_DATA	EX_IO_13N	AB9	I2C_CLK	EX_IO_13P	Y9
ES1_MCLK	EX_IO_17N	V9	ES1_DSCLK	EX_IO_17P	U9
ES1_DSDIN	EX_IO_3N	U8	ES1_ALRCK	EX_IO_3P	T8
PMOD-B					
信号名称	网络名称	PGL50H 管脚	信号名称	网络名称	PGL50H 管脚
ES1_ASOUT	EX_IO_15N	Y10	LOUT_TEST	EX_IO_15P	W10
I2C_DATA	EX_IO_16N	T11	I2C_CLK	EX_IO_16P	R11
ES1_MCLK	EX_IO_7N	Y12	ES1_DSCLK	EX_IO_7P	W12
ES1_DSDIN	EX_IO_8N	U12	ES1_ALRCK	EX_IO_8P	T12
PMOD-C					
信号名称	网络名称	PGL50H 管脚	信号名称	网络名称	PGL50H 管脚
ES1_ASOUT	EX_IO_11N	AB13	LOUT_TEST	EX_IO_11P	Y13
I2C_DATA	EX_IO_9N	AB11	I2C_CLK	EX_IO_9P	Y11
ES1_MCLK	EX_IO_10N	W11	ES1_DSCLK	EX_IO_10P	V11
ES1_DSDIN	EX_IO_12N	AB10	ES1_ALRCK	EX_IO_12P	AA10
PMOD-D					
信号名称	网络名称	PGL50H 管脚	信号名称	网络名称	PGL50H 管脚
ES1_ASOUT	EX_IO_4N	W8	LOUT_TEST	EX_IO_4P	V7
I2C_DATA	EX_IO_6N	AB8	I2C_CLK	EX_IO_6P	AA8
ES1_MCLK	EX_IO_5N	Y6	ES1_DSCLK	EX_IO_5P	W6
ES1_DSDIN	EX_IO_2N	AB5	ES1_ALRCK	EX_IO_2P	Y5

管脚描述

管脚名称	管脚描述（1）
ES1_DSDIN	DAC serial data input
ES1_ALRCK	Serial data left and right channel frame clock
ES1_MCLK	Master clock
ES1_DSCLK	Serial data bit clock/DMIC bit clock
I2C_DATA	I2C data
I2C_CLK	I2C clock
ES1_ASOUT	Playback signal feedback
LOUT_TEST	LOUT_TEST 默认高电平，器件与 FPGA 连接后，为低电平状态

说明：

- 1、通过 I2C_DATA、I2C_CLK 对 ES8156 音频芯片进行配置，配置详情请参考 ES8156 音频芯片数据手册。
- 2、ES1_MCLK、ES1_ALRCK、ES1_DSCLK、ES1_DSDIN 为 I2S 信号，其中 ES1_MCLK 由 FPGA 提供，详情请参考 ES8156 音频芯片数据手册。
- 3、ES1_ASOUT 为 ES8156 音频芯片产生的反馈信号，可根据需要，进行使用。
- 4、ES1_DSCLK 信号通过 PMOD 扩展口输入至 FPGA 中，属于普通 IO 作为时钟线使用的情况，所以需要对此管脚进行时钟约束。

功能描述

ES8156 音频芯片的功能为：将 FPGA 输出的音频数据转换为音频模拟信号。

LOUTP 与 ROUTP 为左右两个声道的音频输出。

ES8158 音频芯片在使用的时，需要先进行寄存器配置，寄存器配置可参考提供的 demo，demo 中配置的参数简述如下：

- 1、模式：master（LRCK 与 SCLK 由 ES8156 输出）

- 2、音频采样率：48KHz
- 3、数据位宽：16bit
- 4、MCLK：12.288MHz（由 FPGA 提供）

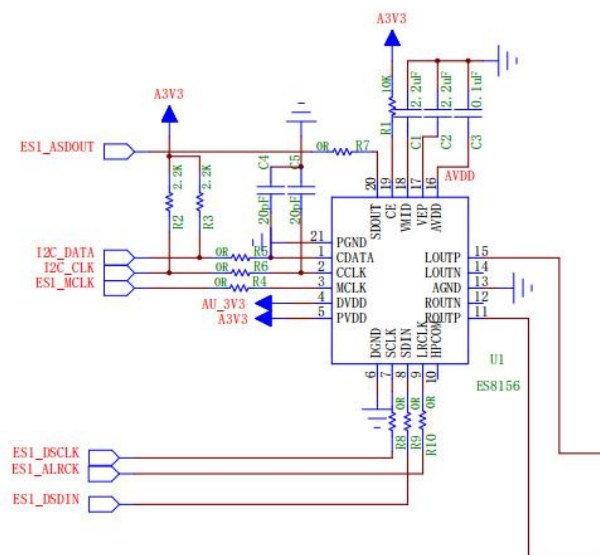


图 4 ES8156 连接原理图

SGM8903YTS14G/TR 芯片的功能为：将模拟信号进行放大。

MES-Speaker 模块使用 SGM8903YTS14G/TR 芯片的 Inverting 模式，其中 RIN 对应 MES-Speaker 模块原理图中的 R15、R16 电阻，阻值是 10K 欧姆，RFB 对应 MES-Speaker 模块原理图中的 R11、R25 电阻，阻值是 100k 欧姆。

此时，放大倍数为 10。

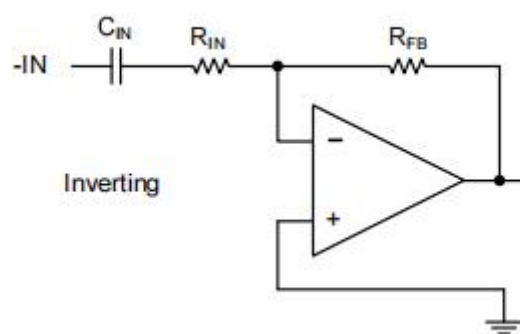


图 5 Inverting 模式

扬声器输入检测的功能为：当 MES-Speaker 模块与 FPGA 开发板连接成功后，给 FPGA 一个低电平信号，可以根据需求决定是否使用这个信号。

扬声器插入检测, 可根据需求是否使用
LOUT_TEST默认高电平, 插入后会变低电平

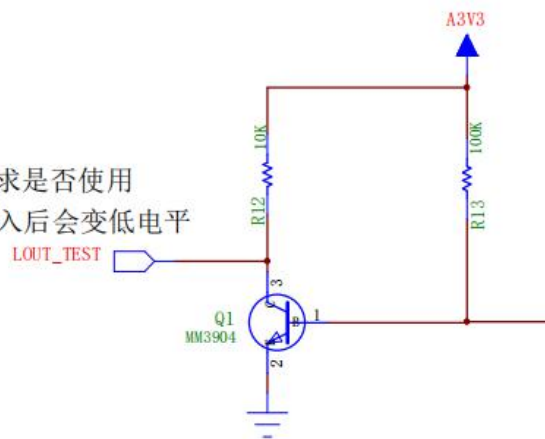


图 6 LOUT_TEST 信号原理图

提示:

- 对 dsclk 信号进行时钟约束, 可参考如下步骤:

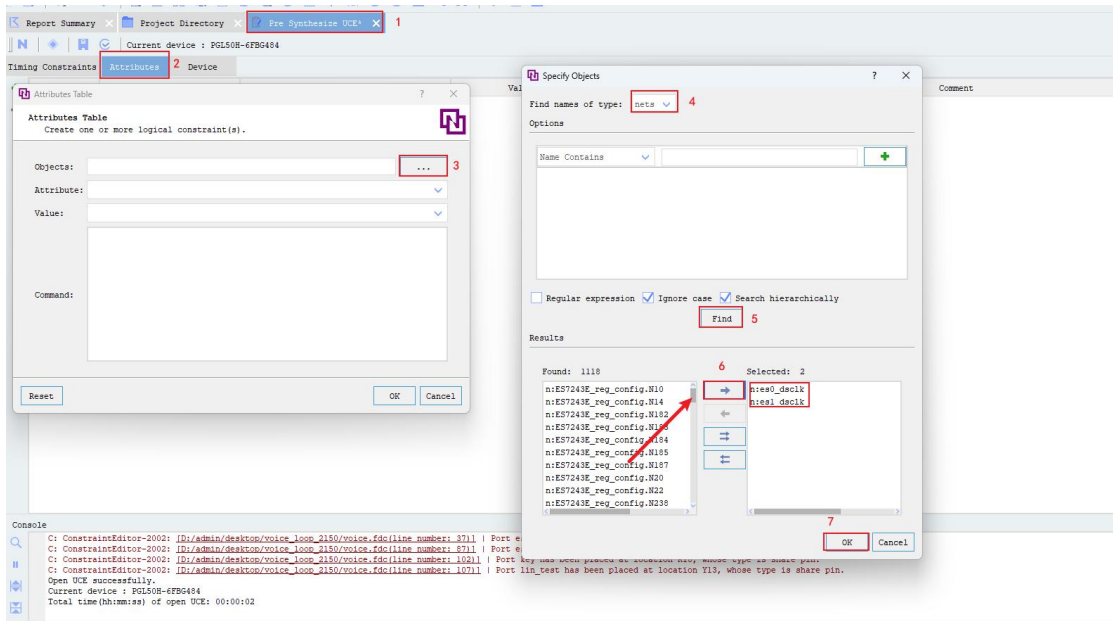


图 7 时钟约束 1

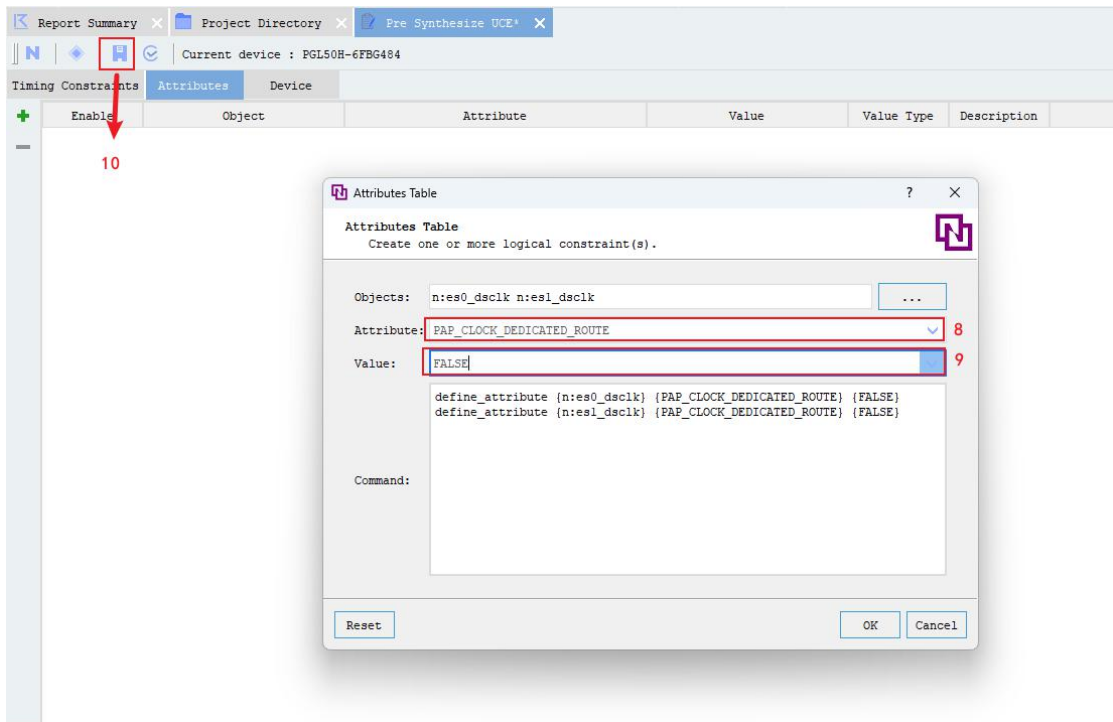


图 8 时钟约束 2

- 音频输出模块接三孔耳机线
- 如遇噪声较大的情况, 可将 FPGA 断电, 重新插拔音频模块。