



提供一站式 FPGA&嵌入式解决方案

OPHW-25H 硬件指导手册

深圳市小眼睛科技有限公司

版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2026/1/7	初始版本

公司名称：深圳市小眼睛科技有限公司

地址：深圳市宝安区西乡街道 F518 时尚创意园

官方网址：www.meyesemi.com

官方淘宝店铺：小眼睛半导体

B 站：小眼睛半导体（视频教程免费学）

* 加入 FPGA 开发者技术交流与 5000+FPGA 开发者实时沟通

QQ2 群： 442106123 QQ3 群： 882634519)

*配套资料下载、技术答疑请登录逻辑矩阵技术论坛



逻辑矩阵技术论坛欢迎各位发烧友加入
让我们共建开源生态，持续赋能行业发展

<https://www.szlogicmatrix.com/>



*扫码注册开源技术论坛



*扫一扫关注官微



* 官方旗舰店

目录

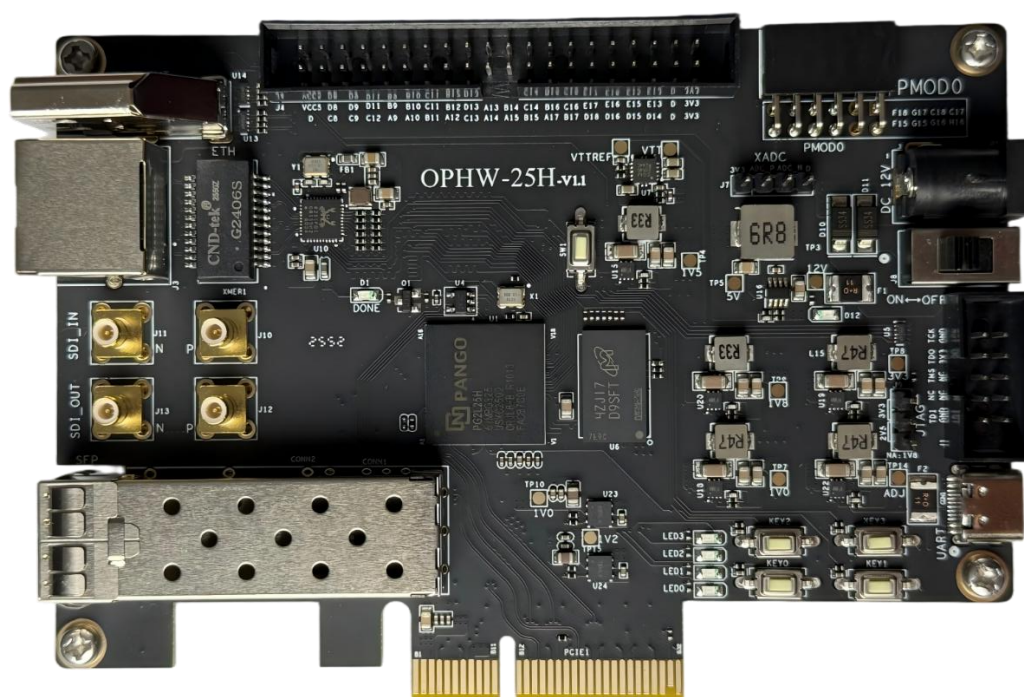
1. 开发板介绍.....	5
1.1. 概述	5
1.2. 资源介绍.....	6
1.2.1. FPGA 芯片	6
1.2.2. 时钟	6
1.2.3. DDR3	7
1.2.4. FLASH.....	9
1.3. 外设介绍.....	10
1.3.1. HDM 输出	10
1.3.2. 10/100/1000M 以太网接口	11
1.3.3. PCIE X2 接口	12
1.3.4. SFP 接口.....	14
1.3.5. SDI 接口	15
1.3.6. 40Pin 扩展口	16
1.3.7. PMOD 扩展口	17
1.3.8. USB 转串口	18
1.3.9. JTAG 调试接口.....	18
1.3.10. 按键	19
1.3.11. LED.....	20
1.3.12. EEPROM	20
1.4. 电源介绍.....	21
1.5. 尺寸	22

1.开发板介绍

1.1. 概述

开发板主要由 FPGA 芯片+1 颗 DDR3+Flash+电源及复位构成，承担了 FPGA 的最小系统运行及高速数据处理和存储的功能。FPGA 选用的是紫光同创 28nm 工艺的 FPGA（logos-2 系列：PG2L25H-6IMBG325）；PG2L25H 和 DDR3 之间的数据交互时钟频率最高到 533MHz，1 颗 DDR3 的数据位宽为 16bit，总数据带宽最高到 17056（1066×16）Mbps，充分满足了高速多路数据存储的需求；另外 PG2L25H FPGA 带有 4 路 HSST 高速收发器，每路速度高达 6.6Gb/s，非常适合用于光纤通信和 PCIe 数据通信；电源采用矽力杰 SQ20953 将来自输入电源的 12V 转换成 5V，再由多颗矽力杰 SQ28704 来产生不同的电源电压。

开发板扩展了丰富的外围接口，预留 HDMI 输出接口用于图像验证及处理；预留的 SFP 光纤接口、10/100/1000M 以太网接口，PCIE 接口，方便各类高速通信系统验证；预留了一个 40pin 的 IO 扩展连接器，2 路 PMOD 扩展连接器，方便用户在开发平台基础上验证模块电路功能。



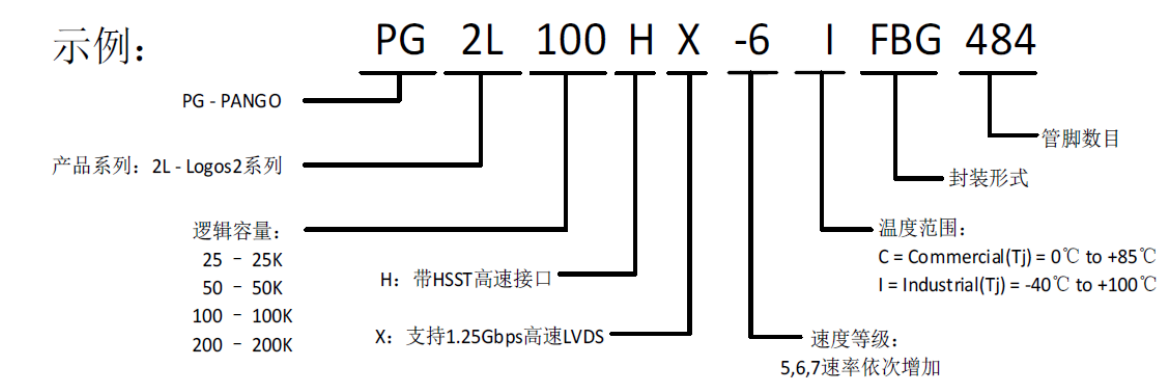
实物图

1. 2. 资源介绍

1.2.1.FPGA 芯片

OPHW-25H开发板使用的FPGA芯片型号为PG2L25H-6IMBG325，属于紫光同创公司 Logos-2系列的产品，速度等级为-6，温度等级为工业级。此型号为MBG325封装，324个引脚。

紫光同创Logos-2 FPGA 的芯片命名规则如下：



其中FPGA 芯片PG2L25H的主要参数如下所示：

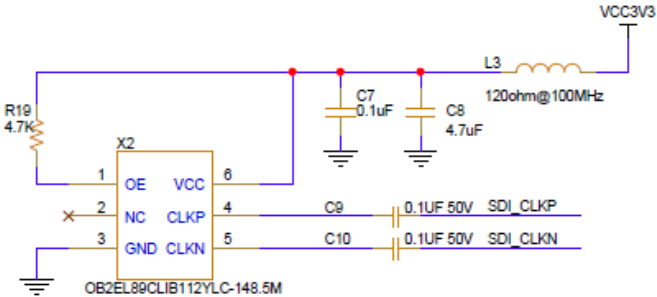
名称	具体参数
逻辑单元	26700
LUTs	17800
Flip-Flops（个）	35600
块RAM(Kbit)	1980
最大用户IO	150
APM(25*18)	80
PCIe Gen2x4	1
HSST（6.6Gbps）	4
速度等级	-6
温度等级	工业级

1.2.2.时钟

OPHW-25H 上配有 1 个 148.5MHz 有源差分晶振、1 个单端有源 50MHz 晶振。差分晶振用于 HSST 收发器的参考时钟输入；单端有源 50MHz 用于 FPGA 的系统时钟源。

1.2.2.1.差分晶振

下图中的 X2 为 148.5MHz 有源差分晶振电路，此时钟是给 FPGA 内部的 HSST 模块提供的参考输入时钟。晶振输出连接到 FPGA HSST BANK 的时钟管脚上。

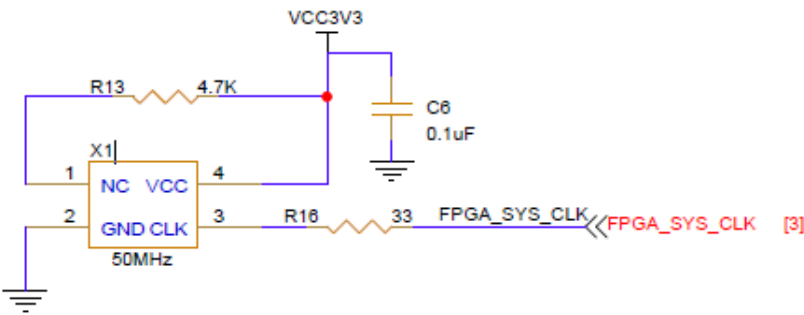


管脚分配见下表，

信号	BGA PIN
SDI_CLKP	D6
SDI_CLKN	D5

1.2.2.2.单端晶振

下图中的 X1 即为 50MHz 有源晶振电路，此时钟接到给 FPGA 内部的全局时钟管脚上，可为 FPGA 提供的参考输入时钟。



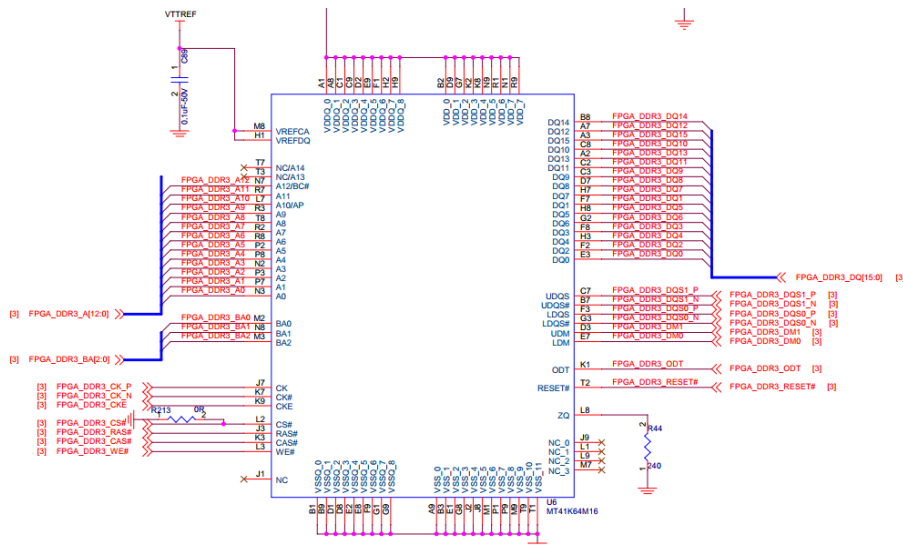
管脚分配见下表，

信号	BGA PIN
FPGA_SYS_CLK	P14

1.2.3.DDR3

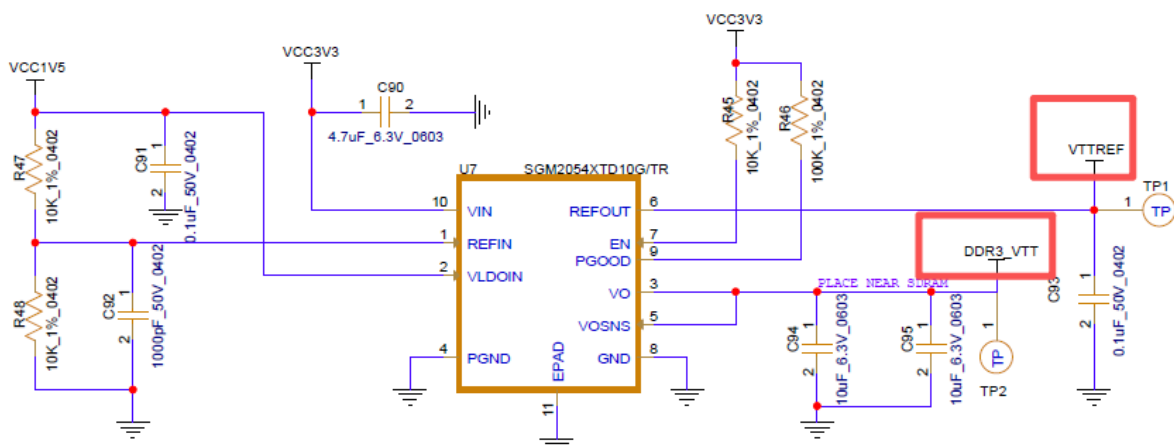
OPHW-25H 开发板上配有 1 颗 Micron 公司的 1Gbit (128MB) 的 DDR3 芯片,型号为 MT41K64M16。DDR3 的总线宽度共为 16bit。DDR3 SDRAM 的最高运行时钟速度可达

400MHz(数据速率 800Mbps)。该 DDR3 存储系统直接连接到了 FPGA 的 BANK-R5, DDR3 SDRAM 的硬件连接示意图如下图所示:



PG2L25H 内可运行 DDR 控制器最大支持位宽可达 32bit，速度高达 533MHz（1066Mbps）。

DDR3 使用 1.5V SSTL 接口标准，在 OPHW-25H 开发板上 PG2L25H 与 DDR3 紧密的排列在一起，保持连接和匹配。DDR3 布线采用 50 欧姆走线阻抗用于单端信号，DCI 电阻（VRP/VRN）以及差分时钟设置为 100 欧姆。每个 DDR3 芯片在 ZQ 上都需要 240 欧姆电阻下拉。DDR-VDDQ 设置为 1.5V，以支持所选的 DDR3 器件。DDR-VTT 是与 DDR-VDDQ 始终电压跟随，保持为 1/2 倍 DDR-VDDQ 的电压值。DDR-VREF 是一个独立的缓冲输出，等于 1/2 倍 DDR-VDDQ 的电压。DDR-VREF 是隔离的，可为 DDR 电平转换提供更清晰的参考。DDR3 参考电压及上拉跟随电压原理图如下。



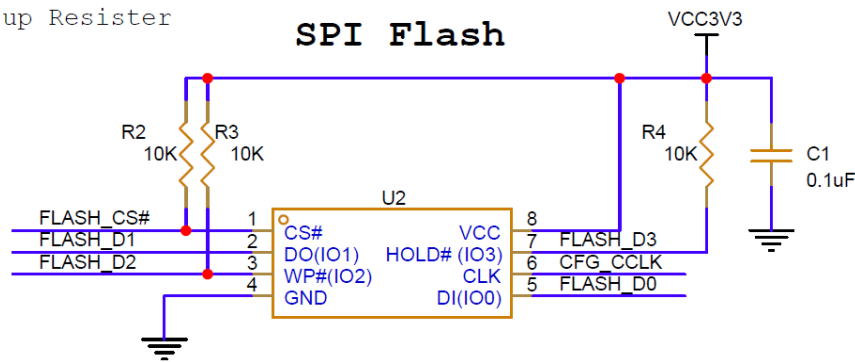
该DDR3 存储系统直接连接到了PG2L25H 的Bank R5 上; DDR3 的硬件设计需要严格考虑信号完整性, 我们在电路设计和PCB 设计的时候已经充分考虑了匹配电阻/终端电阻, 走线阻抗控制, 走线等长控制, 保证DDR3 的高速稳定的工作。DDR3 的具体管脚分配如下:

信号	BGA PIN	信号	BGA PIN
FPGA_DDR3_A0	K6	FPGA_DDR3_DQ15	T2
FPGA_DDR3_A1	K5	FPGA_DDR3_DQ14	T4
FPGA_DDR3_A2	J5	FPGA_DDR3_DQ13	R1
FPGA_DDR3_A3	J4	FPGA_DDR3_DQ12	V3
FPGA_DDR3_A4	K2	FPGA_DDR3_DQ11	T3
FPGA_DDR3_A5	K1	FPGA_DDR3_DQ10	V4
FPGA_DDR3_A6	K3	FPGA_DDR3_DQ9	V2
FPGA_DDR3_A7	L2	FPGA_DDR3_DQ8	U4
FPGA_DDR3_A8	L4	FPGA_DDR3_DQ7	U7
FPGA_DDR3_A9	L3	FPGA_DDR3_DQ6	V6
FPGA_DDR3_A10	L5	FPGA_DDR3_DQ5	T7
FPGA_DDR3_A11	M5	FPGA_DDR3_DQ4	U6
FPGA_DDR3_A12	M2	FPGA_DDR3_DQ3	V7
FPGA_DDR3_BA0	M1	FPGA_DDR3_DQ2	R7
FPGA_DDR3_BA1	M6	FPGA_DDR3_DQ1	V8
FPGA_DDR3_BA2	N6	FPGA_DDR3_DQ0	U5
FPGA_DDR3_CK_P	N1	FPGA_DDR3_DQS1_P	U2
FPGA_DDR3_CK_N	P1	FPGA_DDR3_DQS1_N	U1
FPGA_DDR3_CKE	P3	FPGA_DDR3_DQS0_P	R5
FPGA_DDR3_CS#	—	FPGA_DDR3_DQS0_N	T5
FPGA_DDR3_RAS#	N4	FPGA_DDR3_DM1	R2
FPGA_DDR3_CAS#	N3	FPGA_DDR3_DM0	P6
FPGA_DDR3_WE#	M4	FPGA_DDR3_ODT	N2
FPGA_DDR3_RESET#	R6		

1.2.4.FLASH

OPHW-25H 开发板具有 4 位 SPI (QSPI) 串行 Nor 闪存, 使用的是华邦 W25Q128JV。连接在 PG2L25H 的特定引脚上, 采用 3.3V 电平标准。

QSPI 的电路连接如下：



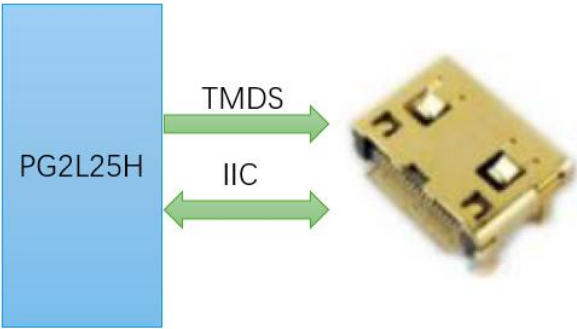
管脚分配如下：

信号	BGA PIN
FLASH_CS#	L15
FLASH_D0	K16
FLASH_D1	L17
FLASH_D2	J15
FLASH_D3	J16
CFG_CCLK	E8

1. 3. 外设介绍

1.3.1.HDM 输出

HDMI 输出接口的实现，是通过FPGA 的4 路LVDS 差分信号（3 路数据和一路时钟）以及 IIC接口直接驱动HDMI 输出，为开发板提供不同格式的视频输出接口，另外在硬件设计上，每对 LVDS 差分信号上增加了ESD保护管，防止外面静电对FPGA 的损坏。HDMI 输出接口的硬件连接如下图所示。

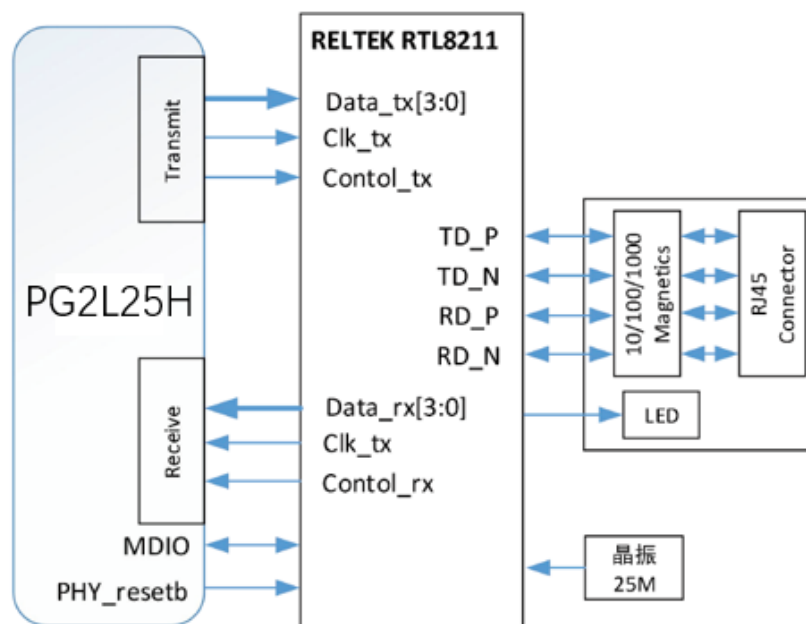


HDMI管脚分配如下：

信号	BGA PIN
HDMI_CLK_N	R17
HDMI_CLK_P	R16
HDMI_D0_N	T15
HDMI_D0_P	T14
HDMI_D1_N	K15
HDMI_D1_P	J14
HDMI_D2_N	R14
HDMI_D2_P	P14
HDMI_HPD	R18
HDMI_SDA	M15
HDMI_SCL	U14

1.3.2.10/100/1000M 以太网接口

OPHW-25H 开发板使用 Realtek RTL8211 PHY 实现了一个 10/100/1000M 以太网端口，用于网络连接。该器件工作电压为支持 2.5V、3.3V。PHY 连接到 BANK L5，并通过 RGMII 接口连接到 PG2L25H。RJ-45 连接器是 HC-RJ45-5JA-1-2，网络变压器为 G2406S。RJ-45 有两个状态指示灯 LED，用于指示流量和有效链路状态。下图显示了 OPHW-25H 开发板上的网口连接框图。

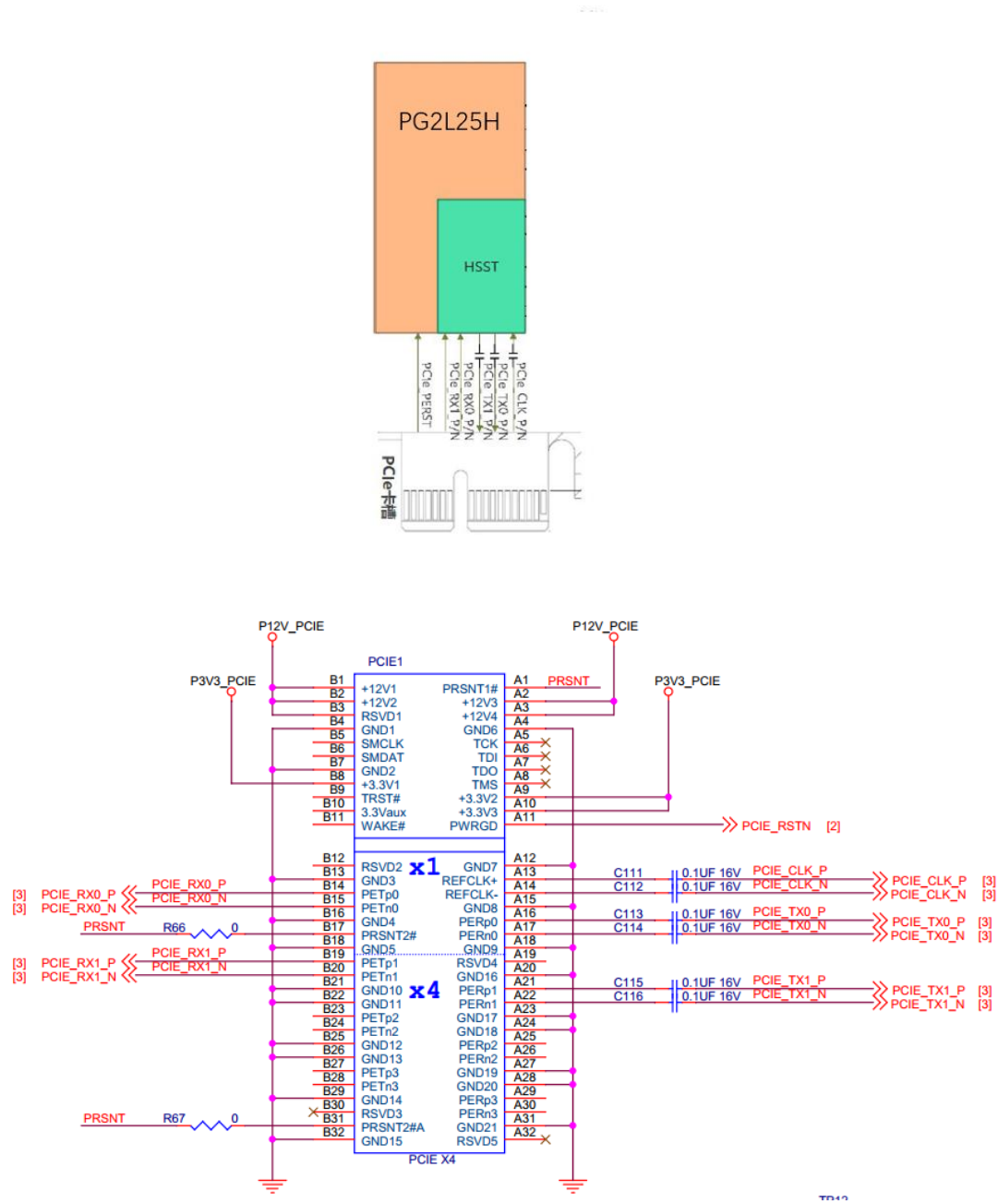


下表为网口 1 对应 PG2L25H 与 RTL8211 的管脚连接。

信号	BGA PIN
ETH_TXD0	T12
ETH_TXD1	V13
ETH_TXD2	V12
ETH_TXD3	V14
ETH_TXCTL	R13
ETH_TXCK	V17
ETH_RXD0	V9
ETH_RXD1	U9
ETH_RXD2	V11
ETH_RXD3	U11
ETH_RXCTL	Y12
ETH_RXCK	P15
ETH_MDIO	V16
ETH_MDC	U16
ETH_INTB	T13
ETH_RESET	U10

1.3.3.PCIE X2 接口

OPHW-25H 扩展底板上提供一个工业级高速数据传输 PCIe x2 接口， PCIe 卡的外形尺寸符合标准 PCIe 卡电气规范要求，可直接在普通 PC 的 x4 PCIe 插槽上使用。PCIe 接口的收发信号直接跟 FPGA 的 HSST 收发器相连接,两通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA， 单通道通信速率可高达 5G bit 带宽。PCIe 的参考时钟由 PC 的 PCIe 插槽提供给开发板， 参考时钟频率为 100Mhz。开发板的 PCIe 接口的设计示意图如上光纤连接参考图所示,其中 TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。



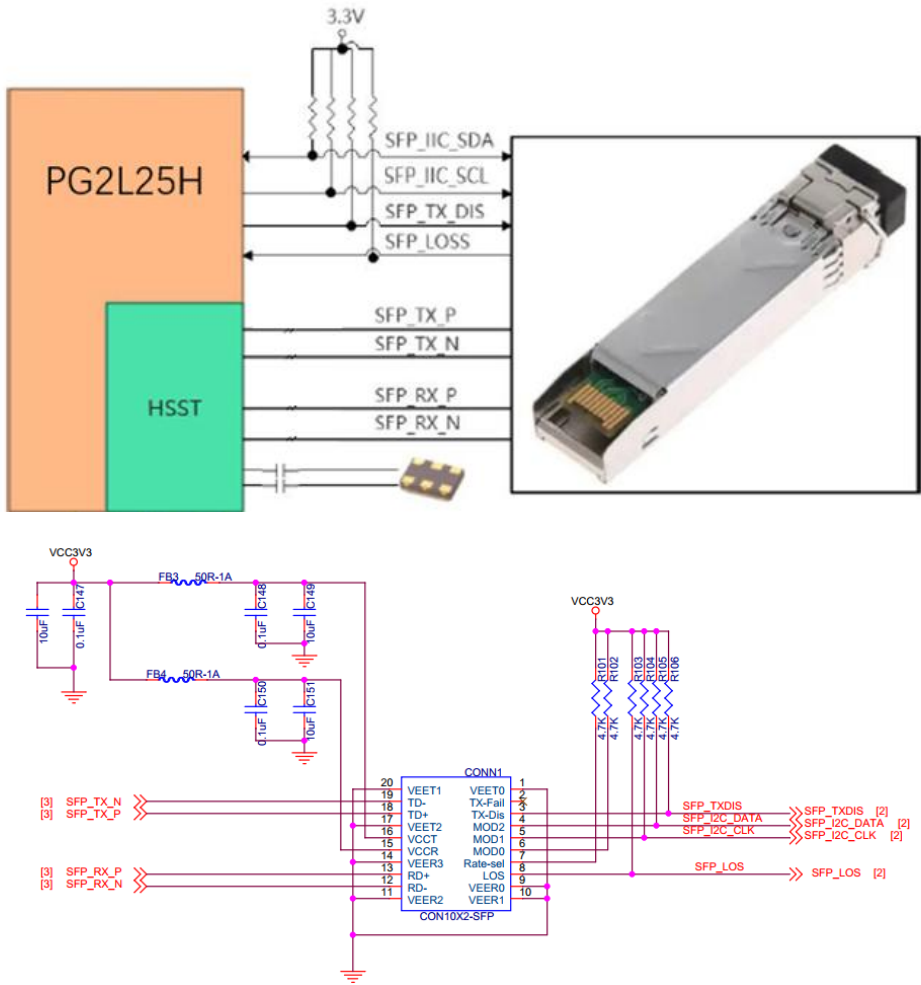
下表显示了 PG2L25H 与 PCIe 卡槽的管脚连接。

信号	BGA PIN
PCIE_CLK_P	B6
PCIE_CLK_N	D5
PCIE_RX0_P	G4
PCIE_RX0_N	G3

PCIE_TX0_P	B2
PCIE_TX0_N	B1
PCIE_RX1_P	C4
PCIE_RX1_N	C3
PCIE_TX1_P	D2
PCIE_TX1_N	D1

1.3.4.SFP 接口

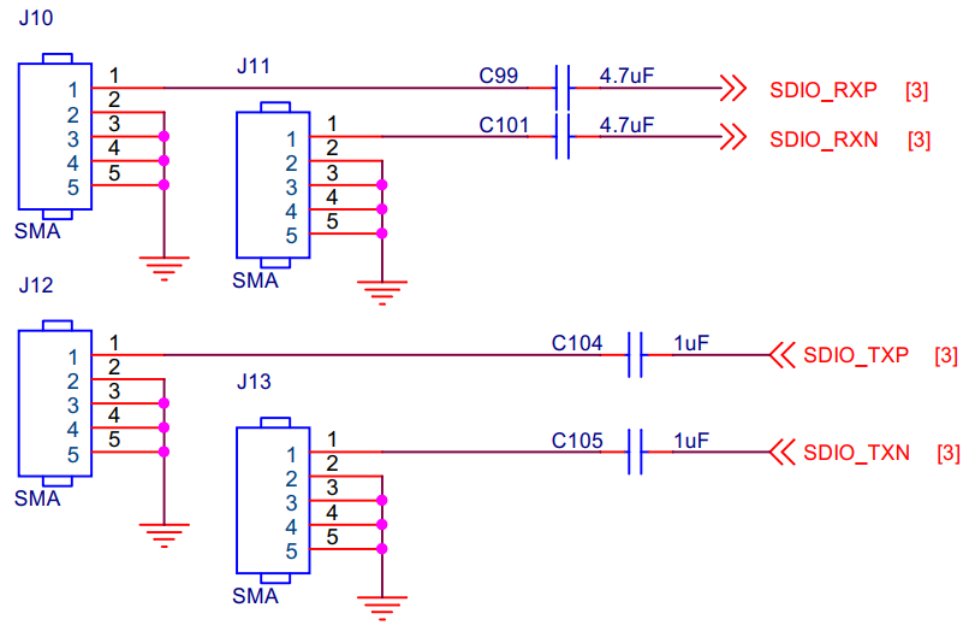
OPHW-25H 板上有 1 路光纤接口，用户使用光模块(1.25G/2.5G 光模块) 插入到这光纤接口中进行光纤数据通信。光纤接口跟 FPGA 的 HSST 收发器的 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA 和光模块，TX 发送和 RX 接收数据速率高达 6.6Gb/s。HSST 收发器的参考时钟由板载的 148.5M 差分晶振提供。FPGA 和光纤设计示意图如下图所示：



信号	BGA PIN
SDI_CLKP	D6
SDI_CLKN	D5
SFP_RX_P	E4
SFP_RX_N	E3
SFP_TX_P	F2
SFP_TX_N	F1

1.3.5. SDI 接口

OPHW-25H 板上有 1 路 SDI 接口，用户使用连接线接入 SMA 座进行数据通信。SDI 接口跟 FPGA 的 HSST 收发器的 RX/TX 相连接，TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 FPGA，TX 发送和 RX 接收数据速率高达 6.6Gb/s。HSST 收发器的参考时钟由板载的 148.5M 差分晶振提供。FPGA 和光纤设计示意图如下图所示：

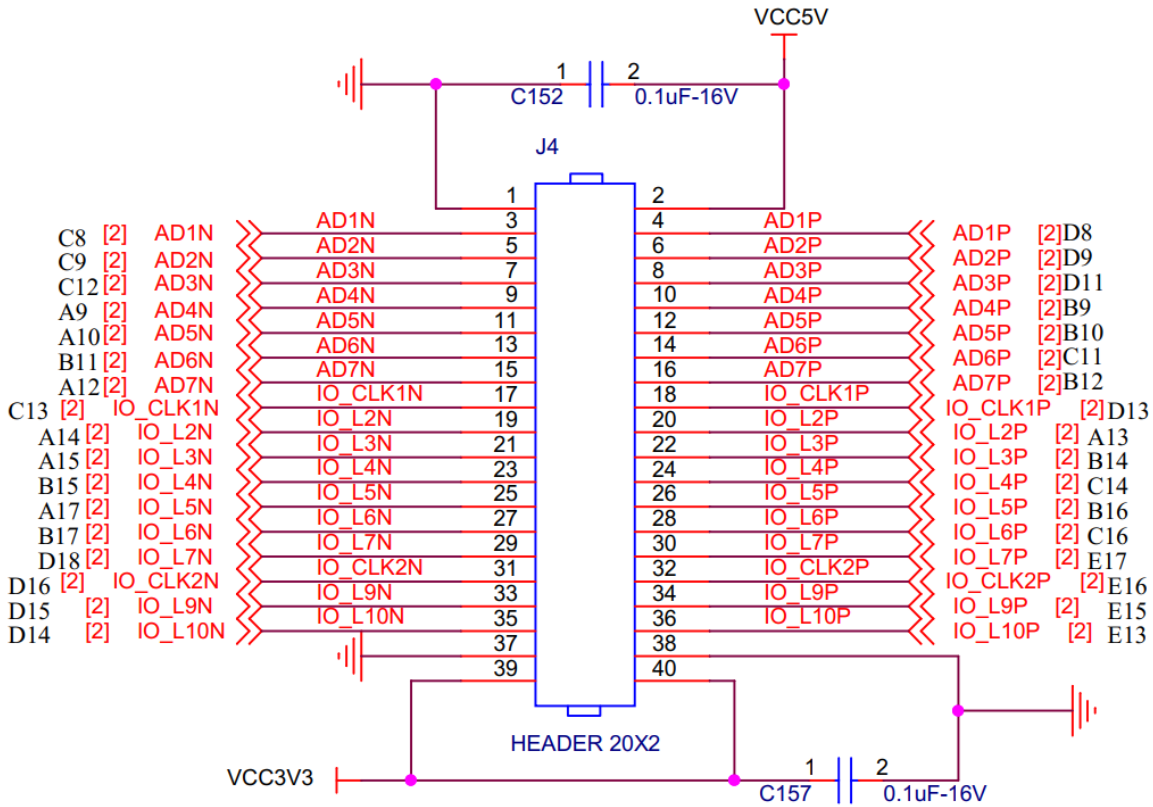


信号	BGA PIN
SDI_CLKP	D6
SDI_CLKN	D5

SDIO_RXP	A4
SDIO_RXN	A3
SDIO_TXP	H2
SDIO_TXN	H1

1.3.6.40Pin 扩展口

扩展板预留 1 个 2.54mm 标准间距的 40 针的扩展口 J8，用于连接各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路，IO 电平标准可以通过跳线帽由 J9 插针设置。



切勿IO 直接跟5V 设备直接连接，以免烧坏FPGA。

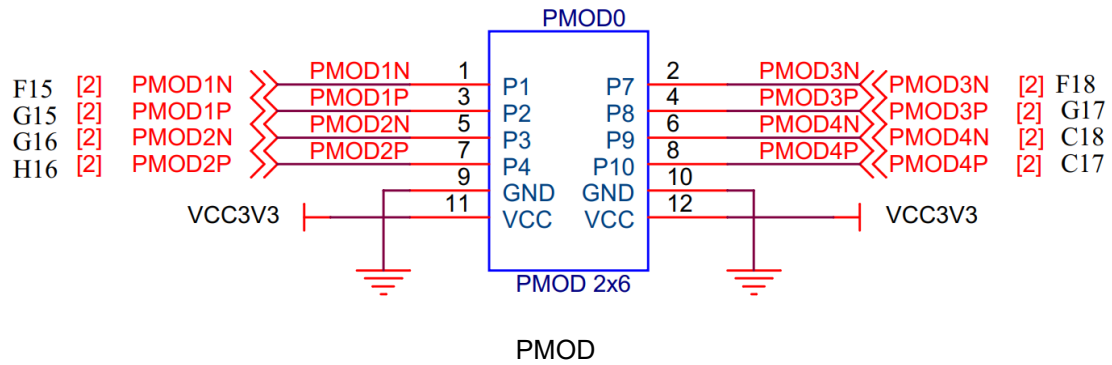
如果要接5V 设备，需要接电平转换芯片。

信号	BGA PIN	信号	BGA PIN
1	GND	2	5V

3	C8	4	D8
5	C9	6	D9
7	C12	8	D11
9	A9	10	B9
11	A10	12	B10
13	B11	14	C11
15	A12	16	B12
17	C13	18	D13
19	A14	20	A13
21	A15	22	B14
23	B15	24	C14
25	A17	26	B16
27	B17	28	C16
29	D18	30	E17
31	D16	32	E16
33	D15	34	E15
35	D14	36	E13
37	GND	38	GND
39	3.3V	40	3.3V

1.3.7.PMOD 扩展口

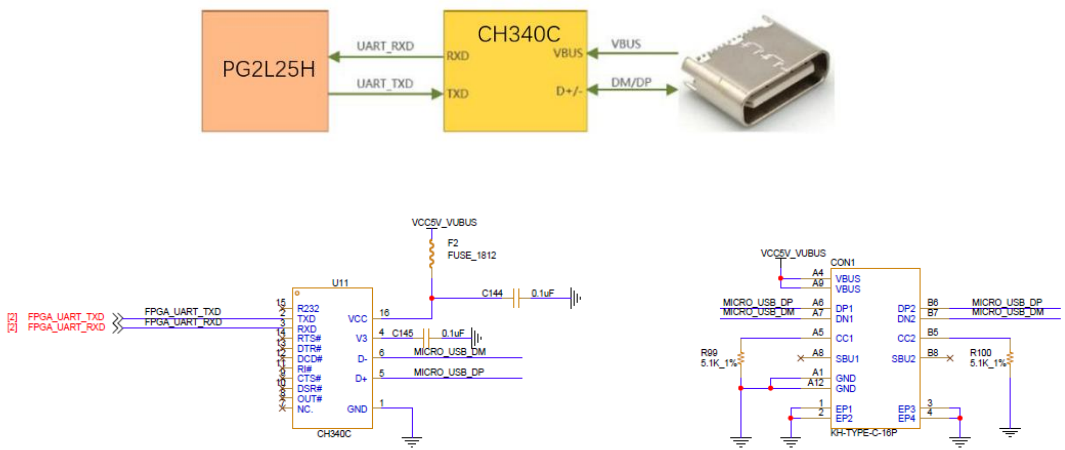
OPHW-25H 扩展底板预留了 1 个 12 针 2.54mm 间距的 PMOD 接口用于连接 FPGA 的 IO 和外部模块或电路。PMOD 连接器的原理图如下图所示。



信号	BGA PIN	信号	BGA PIN
1	F15	2	F18
3	G15	4	G17
5	G16	6	C18
7	H16	8	C17
9	GND	10	GND
11	3.3V	12	3.3V

1.3.8.USB 转串口

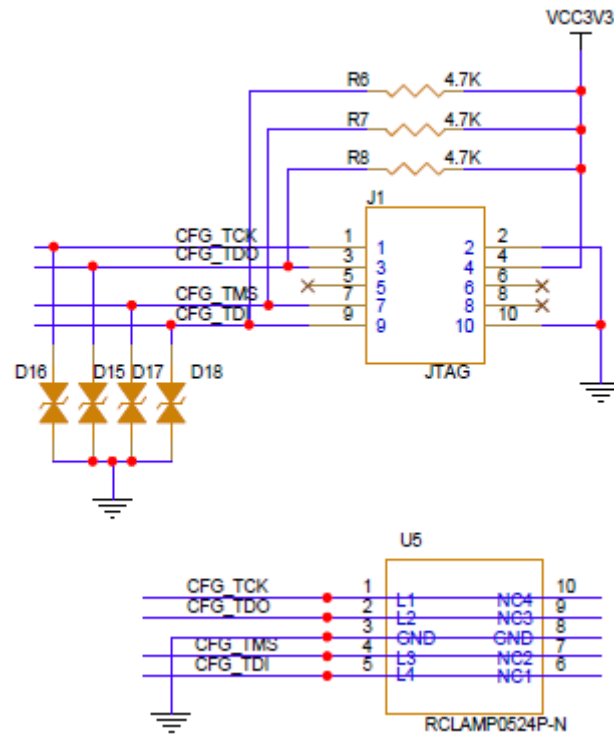
OPHW-25H 扩展底板上集成了一路 USB 转串口模块, 采用的 USB-UART 芯片是 CH340C, USB 接口采用 USB Type C 接口, 可以用一根 USB Type C 线将它连接到上 PC 的 USB 口进行串口数据通信。USB Uart 电路设计的示意图如下图所示:



信号	BGA PIN
FPGA_UART_RXD	J18
FPGA_UART_TXD	K18

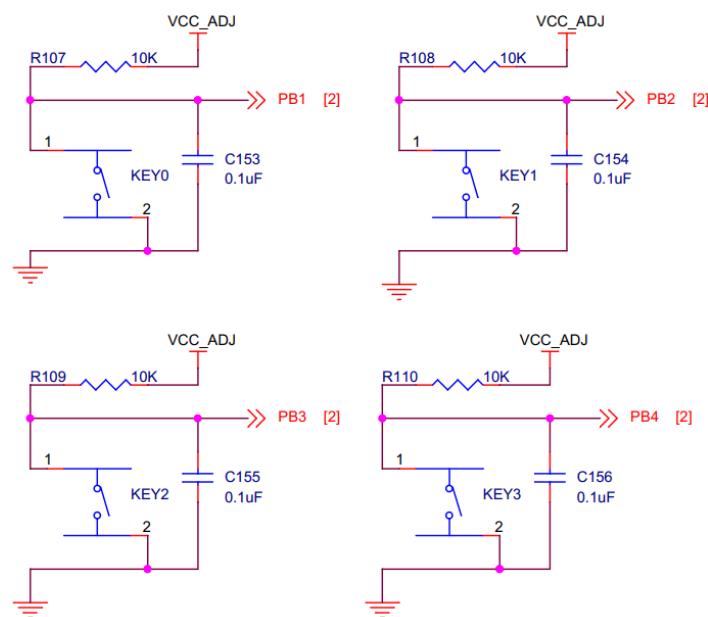
1.3.9.JTAG 调试接口

OPHW-25H 开发板预留了一个 JTAG 接口, 用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏, 我们在 JTAG 信号上添加了 TVS 管和 ESD 来保证信号的电压在 FPGA 接受的范围, 避免 FPGA 的损坏。



1.3.10.按键

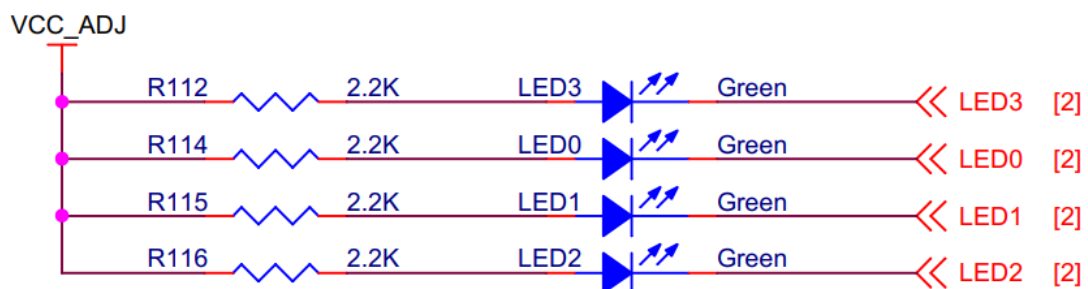
OPHW-25H 扩展底板提供了 5 个用户按键（SW0~3）；1 个重加载按键，重加载按键通过一个延时复位芯片连接到 PG2L25H 的 RSTN 管脚；4 个用户按键都连接到 PG2L25H 的普通 IO 上，按键低电平有效，但按键按下时，IO 上的输入电压为低；当没有按下按键时，IO 上的输入电压为高电平；



信号	BGA PIN
KEY1	D10
KEY2	H17
KEY3	G14
KEY4	F14

1.3.11.LED

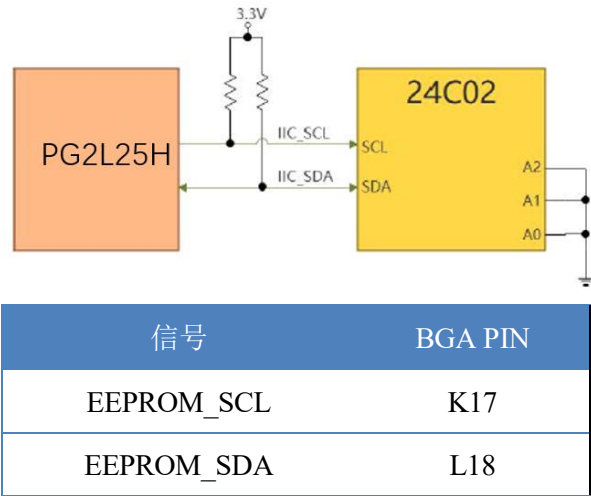
OPHW-25H 开发板有 6 个翠绿 LED 灯，其中 1 个是电源指示灯（POWER）；1 个是 FPGA 的运行状态指示灯：DONE；4 个是用户 LED 灯（LED0~3）。连接在 PG2L25H BANK L4 的 IO 上，FPGA 输出低电平时对应的 LED 灯亮灯，板上 LED 灯功能电路图：



信号	BGA PIN
LED0	E18
LED1	F17
LED2	H18
LED3	H14

1.3.12.EEPROM

MES50HP 开发板板载了一片 EEPROM，型号为 24LC02，容量为：2Kbit（1*256*8bit），由 1 个 256byte 的 block 组成，通过 IIC 总线进行通信。板载 EEPROM 就通过 IIC 总线通信。EEPROM 的 I2C 信号连接的 FPGA 的 IO 口上。下图为 EEPROM 的设计示意图；



1. 4. 电源介绍

开发板的电源输入电压为+12V，请使用开发板自带的电源,不要用其他规格的电源，以免损坏开发板。扩展板上通过 1 路 DC/DC 电源芯片 SQ20953 把+12V 电压转化成+5V 电源;再通过 5 路 DC/DC 电源芯片 SQ28704 将+5V 转化成+3.3V，+1.8V，+1.0V、+1.5V VCCADJ 5 路电源， 5 路输出电流可高达 4A。其中 VCCADJ 产生 VCCIO 的电压可调，VCCADJ 主要是对 FPGA 的 BANK L4 进行供电，用户可以通过修改电源电阻的阻值调整电压，使得 BANK L4 的 IO 适应不同的电压标准。MGTAVCC 和 MGTAVTT 是高速收发器的电源,有两片电流为 1A 的 LDO SY6301 产生。1.5V 通过圣邦微的 SGM2054 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示：

电源	功能用途
12V	输入电源
5.0V	内部电源
1.0V	PG2L25H 的内核电压
1.8V	PG2L25H 的逻辑供电
3.3V	I/O 电压，辅助电源，部分接口（晶振，FLASH）供电电压
VCCADJ	可调I/O 电压
1.5V	DDR3 供电电压，PG2L25H Bank R5电 源
VTT(0.75V)	DDR3 控制线与地址线的上拉电压， 保持信号完整性

VREF(0.75V)	DDR3 参考电压
MGTAVCC、MGTAVTT	PG2L25H HSST电源

1.5. 尺寸

