



提供一站式 FPGA&嵌入式解决方案

FPGA 远程实验室 开发者使用指导手册

深圳市小眼睛科技有限公司
版权所有 侵权必究

文档版本修订记录

版本号	发布日期	修订记录
V1.0	2026/1/7	初始版本

公司名称：深圳市小眼睛科技有限公司

地址：深圳市宝安区西乡街道 F518 时尚创意园

官方网址：www.meyesemi.com

官方淘宝店铺：小眼睛半导体

B 站：小眼睛半导体（视频教程免费学）

* 加入 FPGA 开发者技术交流与 5000+FPGA 开发者实时沟通

QQ2 群： 442106123 QQ3 群： 882634519

*配套资料下载、技术答疑请登录逻辑矩阵技术论坛



逻辑矩阵技术论坛欢迎各位发烧友加入
让我们共建开源生态，持续赋能行业发展

<https://www.szlogicmatrix.com/>



*扫码注册开源技术论坛



*扫一扫关注官微



* 官方旗舰店

目录

1. 系统简介	5
1.1. 用户注册与登录	6
1.2. 新用户注册	6
1.3. 用户登录	6
2. 设备管理与申请	8
3. FPGA 开发与下载	11
3.1. FPGA 开发	11
3.2. 固件下载	13
4. 示波器功能	14
5. 逻辑分析仪	17
6. 摄像头监控	20
7. 数字孪生	21
8. Debugger	23

1. 系统简介

FPGA 远程实验室是一个基于 Web 的在线实验平台，提供了一个便捷的 FPGA 实验和调试环境。



1.1.用户注册与登录



1.2.新用户注册

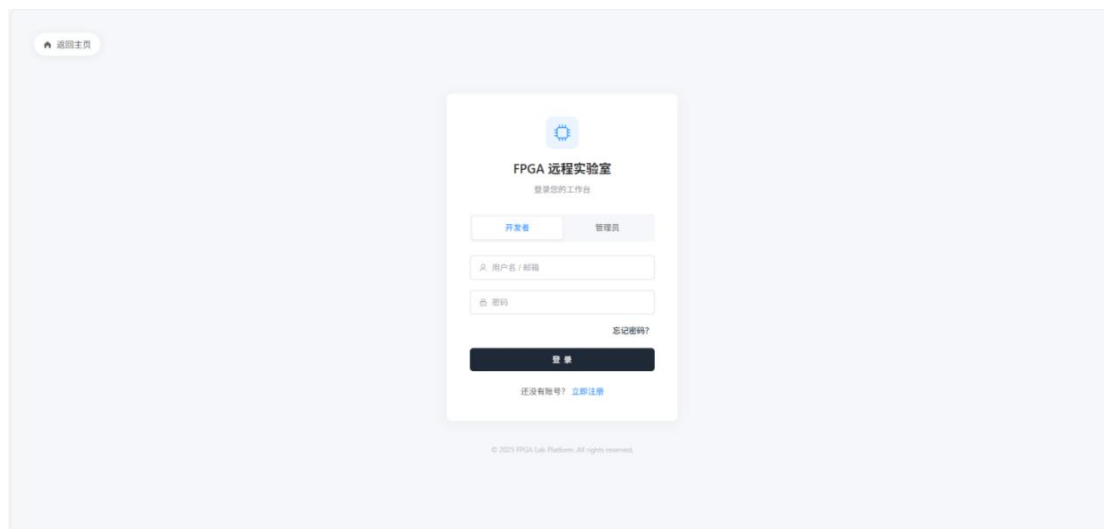
首次使用本平台的用户需要先完成注册流程。在系统首页选择开发者模式。点击"注册"按钮，进入注册页面。注册时需要填写用户名、邮箱地址和密码等基本信息。用户名应当简洁明了，便于记忆；密码需要包含字母和数字，长度不少于 6 位，以确保账户安全。邮箱地址用于接收系统通知和找回密码，请务必填写真实有效的邮箱。



完成信息填写后，点击"注册"按钮提交。系统会向您的邮箱发送一封验证邮件，请登录邮箱并点击验证链接完成邮箱验证。验证成功后，您的账户即可正常使用。

1.3.用户登录

已注册用户可以直接在首页点击"登录"按钮进入登录页面。输入您的用户名（或邮箱）和密码，点击"登录"即可进入系统。

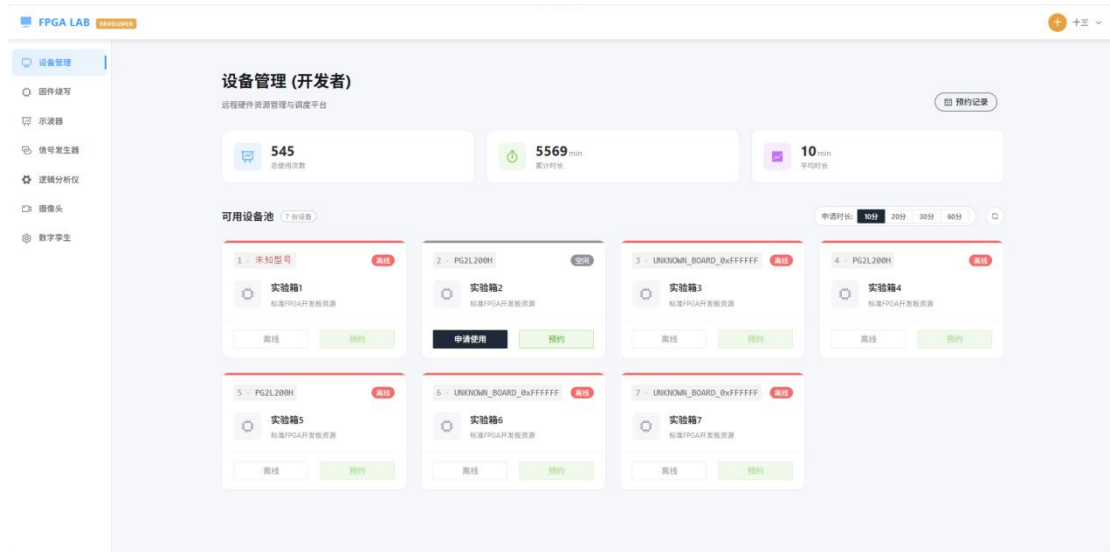


如果忘记了密码，可以点击登录页面的“忘记密码”链接，通过注册时填写的邮箱进行密码重置。系统会向您的邮箱发送重置链接，点击链接后可以设置新密码。

2.设备管理与申请

在进行 FPGA 实验之前，需要先申请一台可用的设备。点击左侧导航栏的"设备管理"菜单，进入设备列表页面。页面会显示所有在线的 FPGA 设备，蓝色标识表示设备空闲可用，黄色表示设备正在被其他用户使用，灰色表示设备离线。

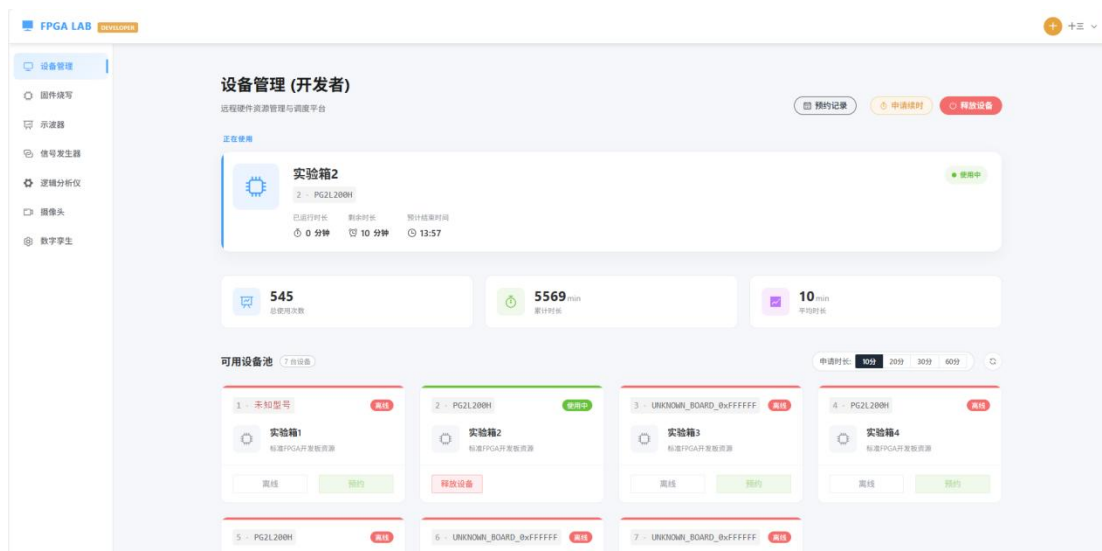
可以看到空闲的设备有“申请使用”和“预约”功能，点击申请使用可直接使用，预约按钮是可以选择时间进行预约。



如果是直接申请使用，首先选择要使用设备的时长，如果不选择默认 10 分钟，然后选择一台空闲的设备，点击"申请使用"按钮，系统会先判断申请的时间段内该设备是否被预约，如果未被预约可直接申请成功，如果设备被预约，会自动计算到最近一次预约前还剩多长时间可以使用。



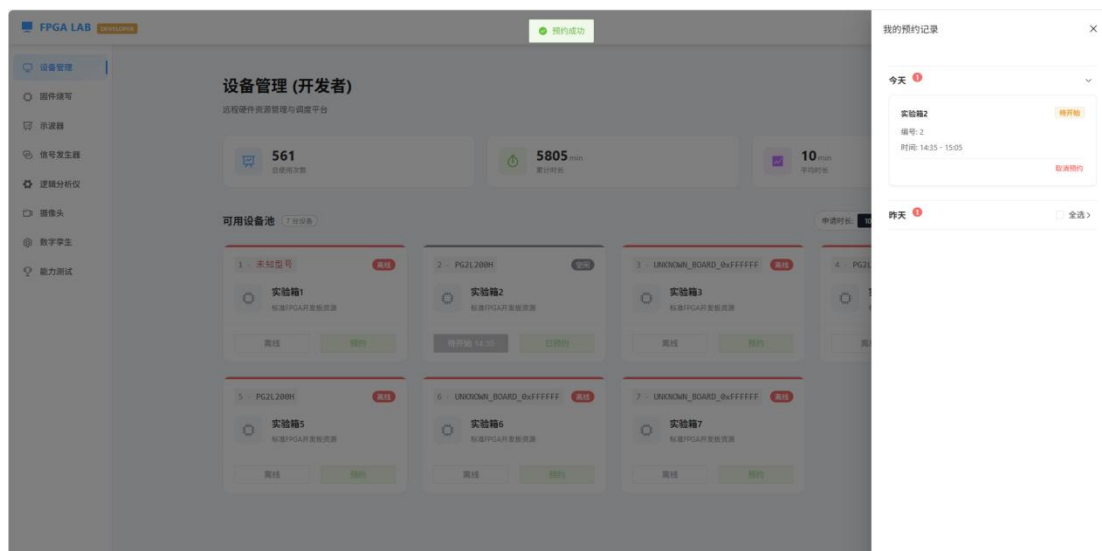
申请成功后，设备状态会变为"使用中"，并显示剩余使用时间。在使用时间即将结束前 2 分钟，系统会弹出提醒通知，可以选择是否续时，在使用过程中也能续时，请注意及时保存实验数据。使用完毕后，请务必点击"释放设备"按钮归还设备，以便其他同学使用。



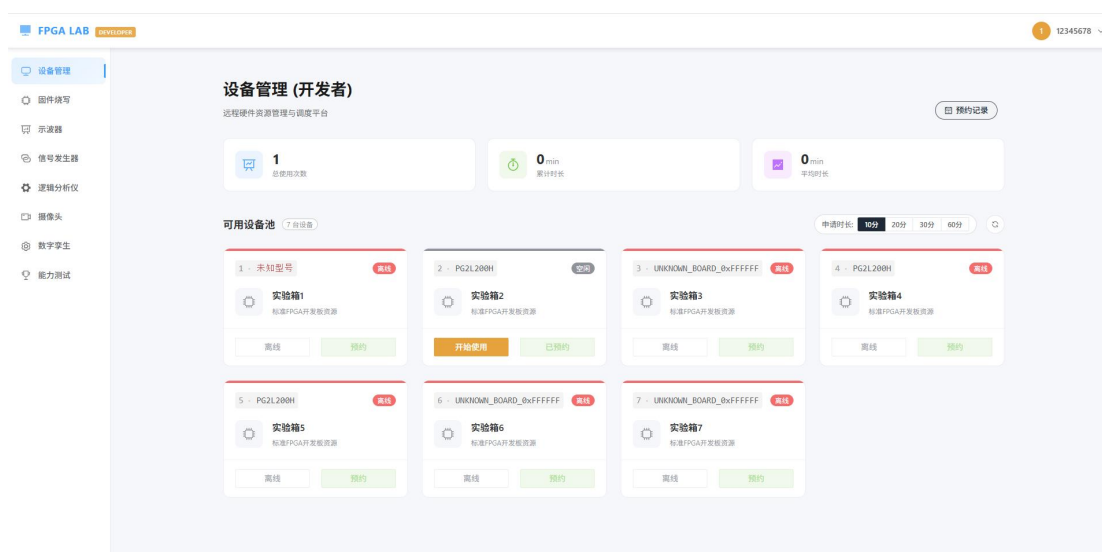
如果是预约设备使用，可直接点击预约按钮，在弹窗上选择预约时间，点击确定即可，预约弹窗上会显示今日该设备被占用情况，空闲时间段等等。



预约成功显示如下，同时右侧预约记录按钮点击可查看“我的预约记录”。



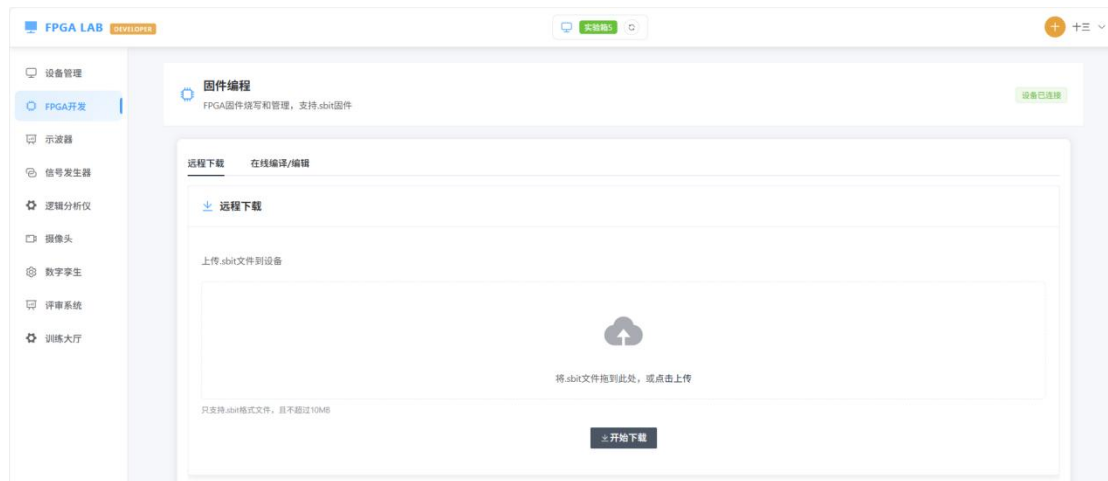
在预约的时间到达时，可点击设备标签上的“开始使用”按钮进入使用设备，需要注意的是预约使用的设备无法续时，在使用过程中释放设备，只要预约时间未到还可以继续占据该设备并使用。



在使用过程中，刷新页面不会释放设备，关闭浏览器页面时会在 5 秒后自动释放设备。

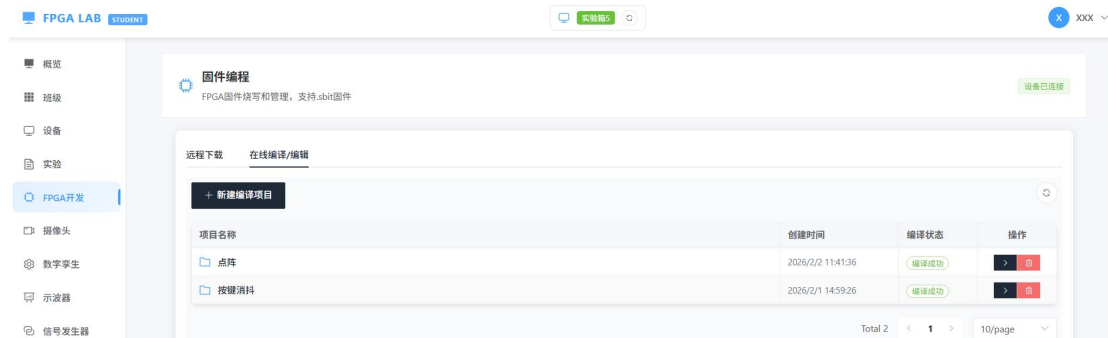
3.FPGA 开发与下载

本系统可在线开发 FPGA 程序以及远程下载固件到设备。点击左侧导航栏的"FPGA 开发"菜单，进入固件烧录页面。页面顶部会显示当前使用的设备信息，确保您已经成功申请了设备。

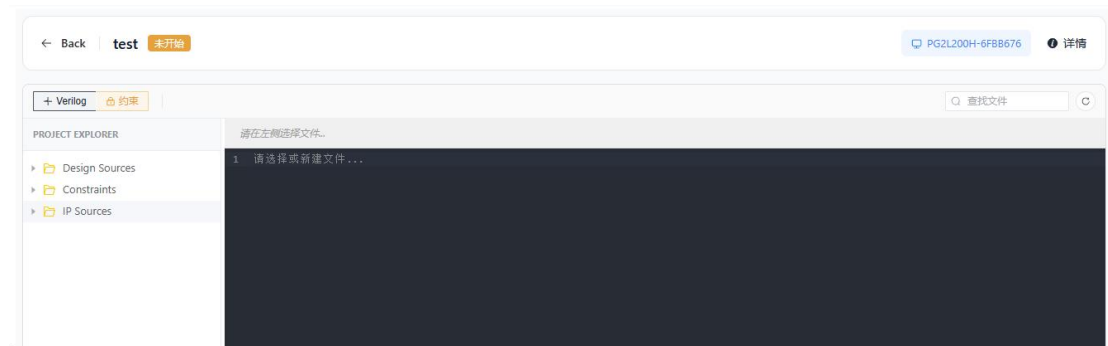


3.1.FPGA 开发

点击“在线编辑/编译”，新建一个项目。



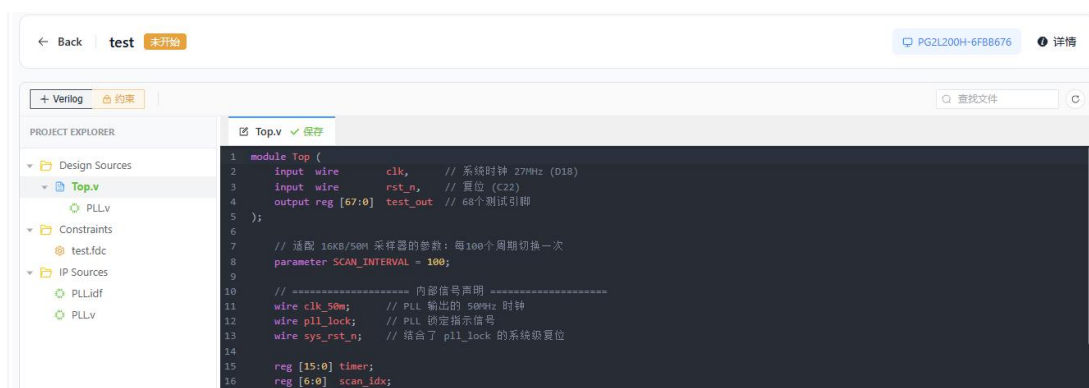
进入项目。



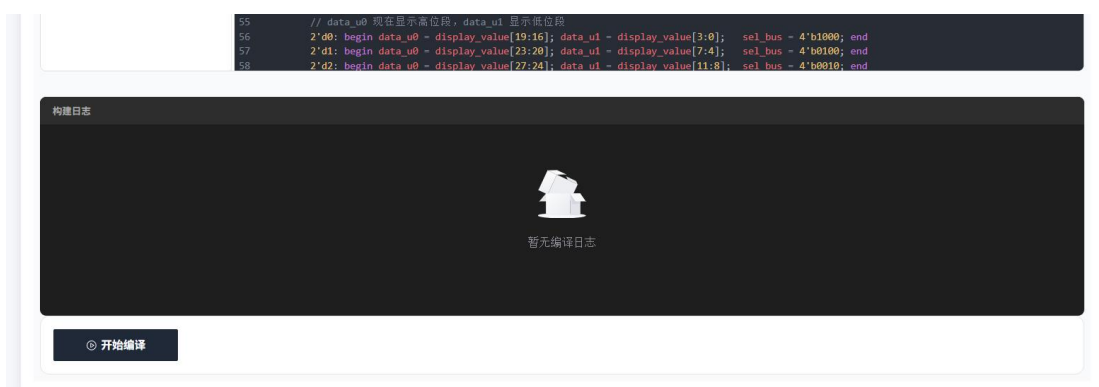
可自己创建.v 文件和.fdc 文件，也可以直接上传文件，同时支持上传 ip 核（包括.idf 文件和对应.v 文件），右键根目录弹出上传入口。



上传结果如下，可在线编辑代码，Design Sources 上传源文件，也就是工程相关的.v 文件，Constraints 上传约束文件.fdc 文件，IP Sources 上传 ip 核相关的.idf 文件和对应的.v 文件，都上传成功后回自动生成文件树。



代码编写完成之后可在线编译。



如果代码有问题，日志中会提示错误，方便修改，如果成功编译，会生成固件，固件和上传的源码都可下载，可以将编译完成的固件一键下载进 FPGA 开发板进行验证，注意编译时间会有几分钟，如果设备申请时间在编译过程中结束了，编译不会暂停，下次申请设备之后仍可继续查看。

```

构建日志
187 Action gen_bit_stream: Peak memory pool usage is 2,218 MB
188 Action from compile to gen_bit_stream: Total Real Time elapsed is 0h:2m:46s
189 Action from compile to gen_bit_stream: Total CPU time elapsed is 0h:2m:32s
190 Action from compile to gen_bit_stream: Total Process CPU Time elapsed is 0h:2m:45s
191 Process "Generate Bitstream" done.
192 Executing : gen_bit_stream successfully.
193 >>> 产物已保存: Top_sbit
194 >>> 编译全流程成功完成
195 >>> 临时目录已清理
196 [Project 0] 编译结束, 退出码: 0
197 [Project 0] 生成文件: Top_sbit
198
    
```

重新编译

源码 固件 一键烧写

3.2.固件下载

在上传面板从本地选择.sbit 的固件文件上传或者直接拖动文件到此。文件选择完成后，系统会显示文件名和文件大小。确认无误后，点击"开始烧录"按钮。烧录过程中，页面会显示实时进度条和状态信息。

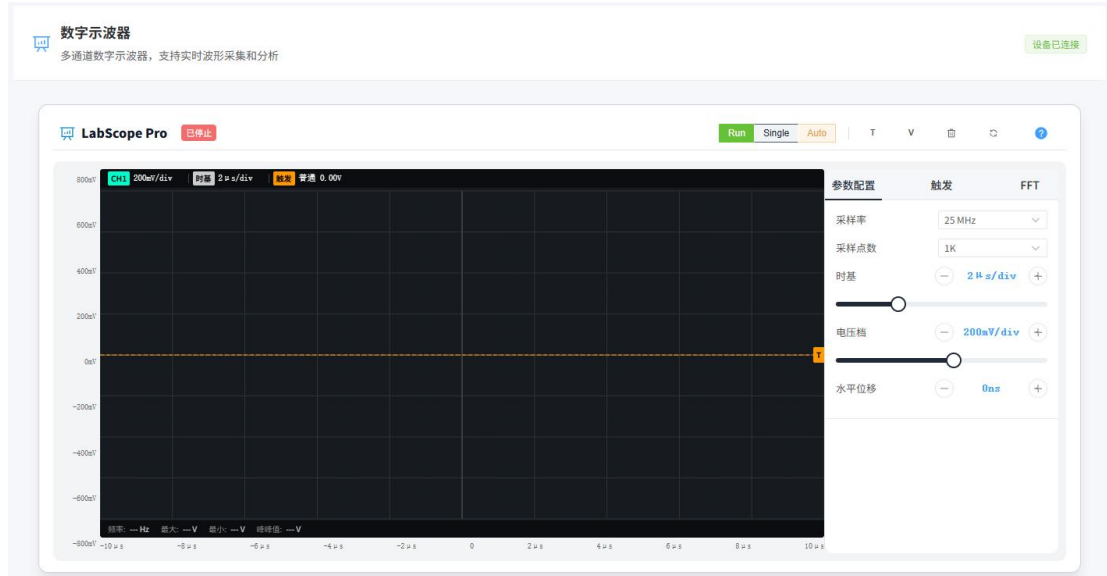


如果选择的 sbit 文件与板卡型号不匹配，会进行提示，防止误操作。



4.示波器功能

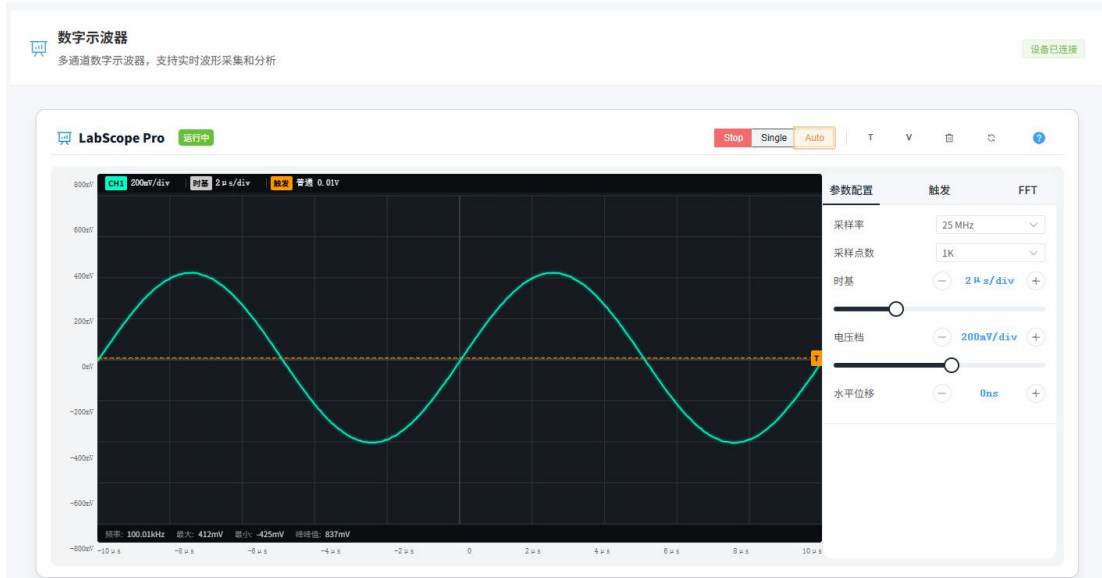
示波器模块用于实时观测 FPGA 输出的模拟信号波形，是验证电路功能的重要工具。点击左侧导航栏的"示波器"菜单，进入示波器页面。页面右侧是控制面板，左侧是波形显示区域。



在使用时，可以选择单次采集和持续采集，按键分别是“Single”和“Run”，旁边的“Auto”键可以一键显示最佳观察波形，参数配置中可设置采样率，采样点数，时基，电压档以及水平位移，触发中可设置边沿触发和电平触发，FFT 可以自选窗口对当前采集的波形进行频谱分析。



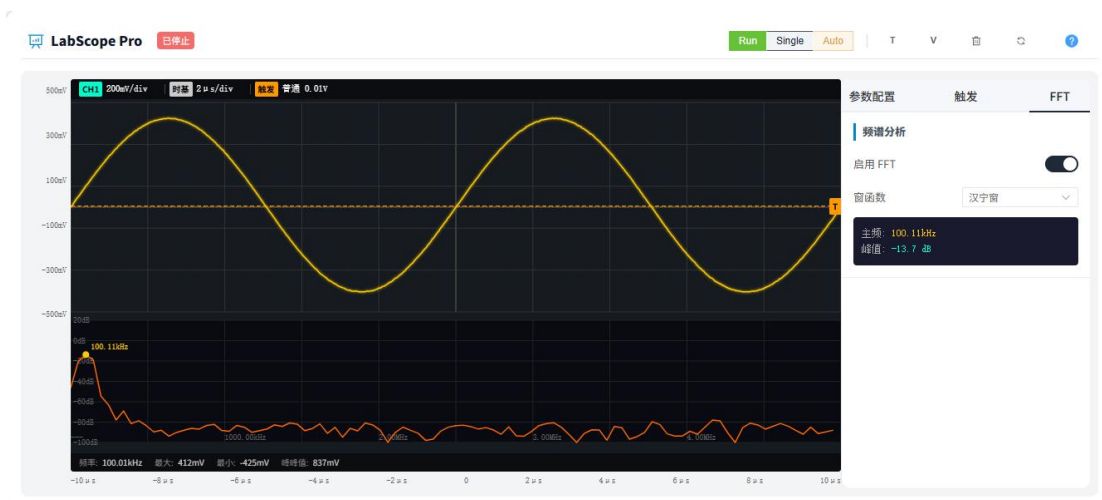
在一切参数设置完毕之后，或者直接运行之后选择 Auto，可以采集波形。



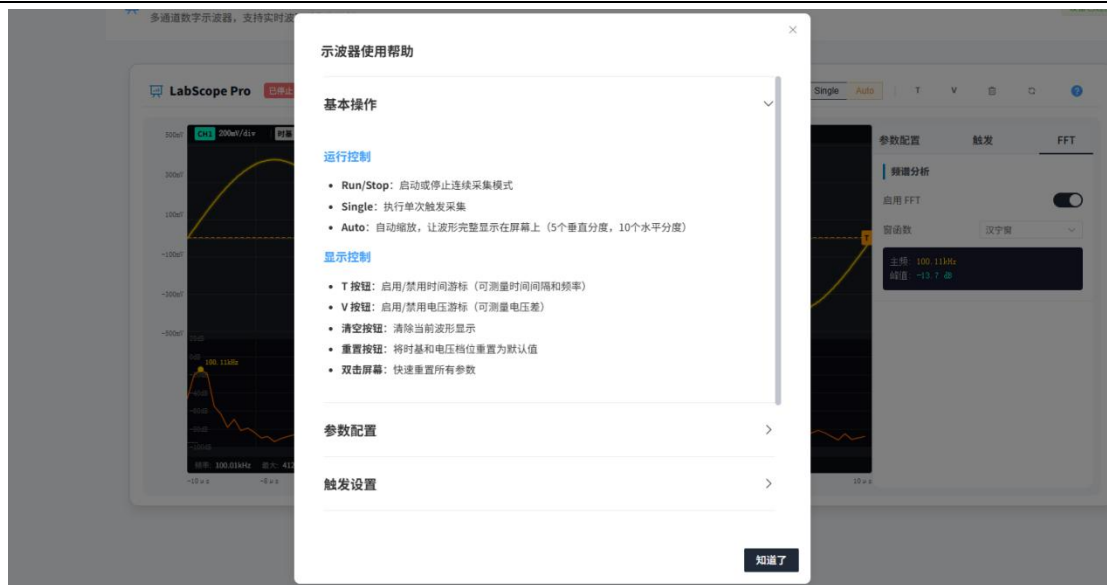
右上角有时间游标和电压游标的功能：



开启 FFT 功能如下：

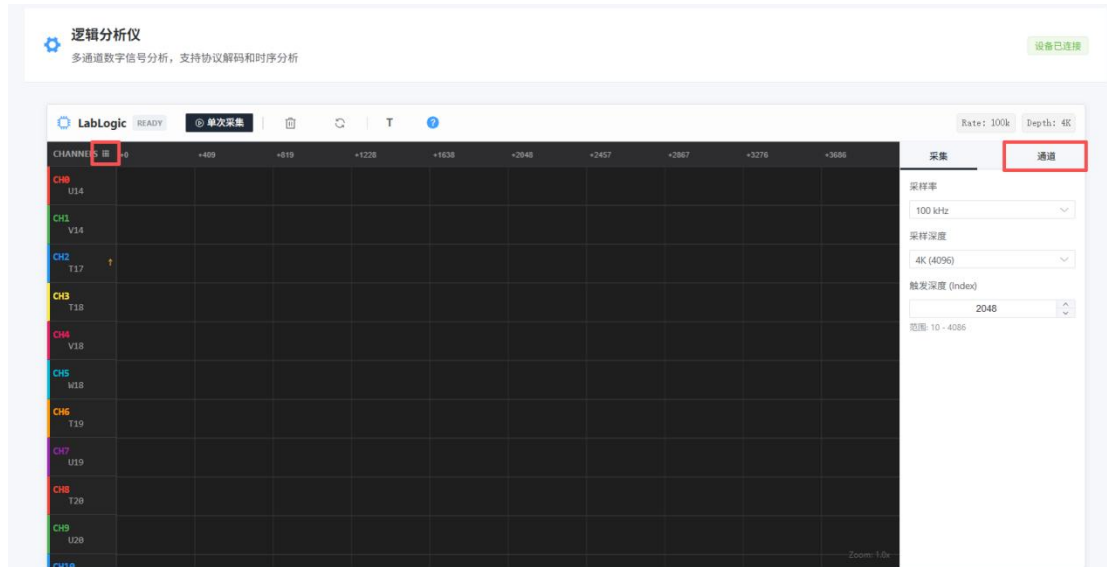


点击帮助按钮可弹出该示波器的详细使用方法：

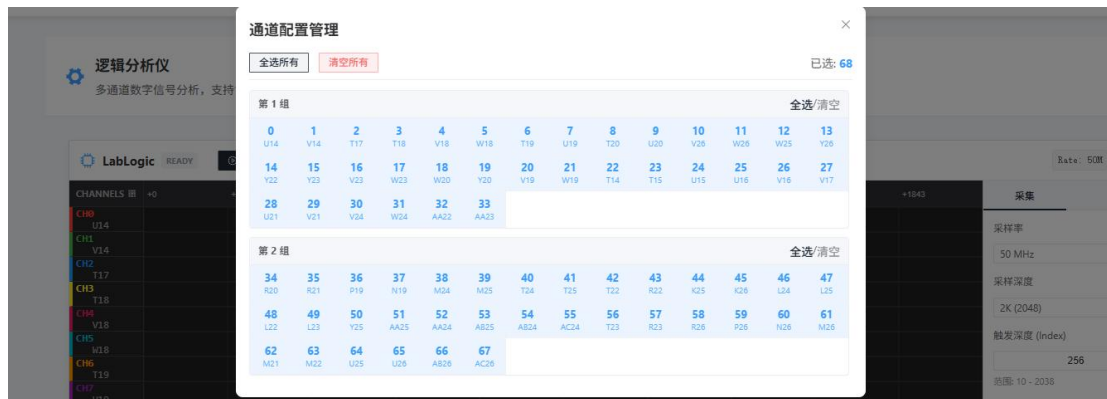


5.逻辑分析仪

逻辑分析仪用于捕捉和分析数字信号的逻辑状态变化，是调试数字电路的利器。点击左侧导航栏的"逻辑分析仪"菜单，进入逻辑分析仪页面。页面布局与示波器类似，右侧是配置面板，左侧是波形显示区域。



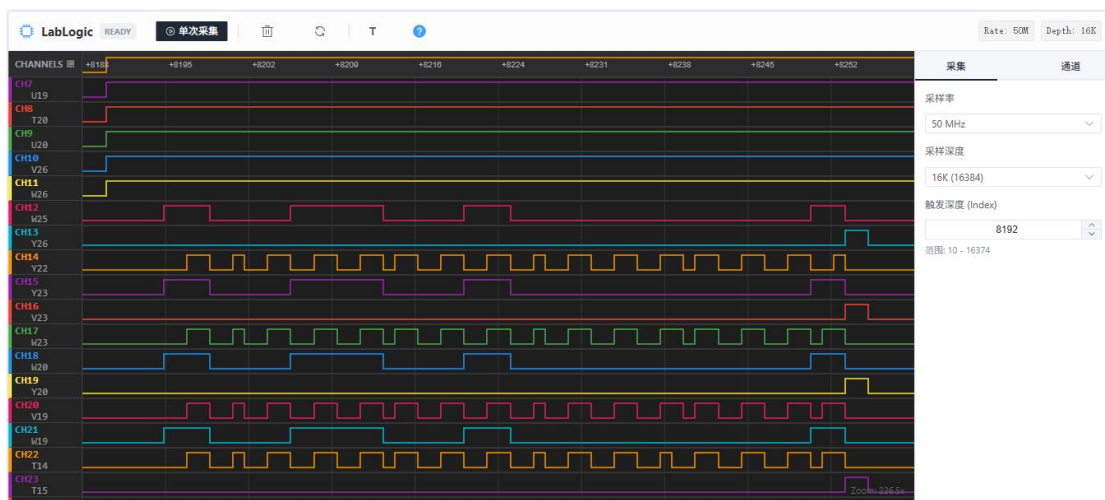
在使用时，首先点击通道旁边的九宫格按钮或者右侧的通道标签进行通道的选择，这里的68个通道分两组，分别对应实验板的两个40pin，除去电源和接地管脚一组34个通用IO，实验板的第三个40pin默认是显示屏，不需要抓取信号。



选择通道之后，在右侧采集面板设置采样率，采样点数和触发深度，右键左侧通道标签设置触发模式，注意要检测哪个通道时就设置哪个通道的触发，如果设置多个通道触发的话，系统会对多个触发条件做与的操作，也就是说必须多个触发条件同时满足才会触发，如有需求可以这样做，正常情况下防止触发条件过于苛刻尽量选择一个通道进行触发。



准备工作完成之后就可以点击“单次采集”按钮进行信号的抓取了。



另外点击帮助按钮会有弹窗显示详细使用方法：



信号发生器

信号发生器用于提供各种频率、幅值，或者其他电平信号的波形，用于激励电路。点击左侧导航栏的“信号发生器”菜单，进入信号发生器页面。这里右侧选择参数，左侧显示当前设置和波形预览。

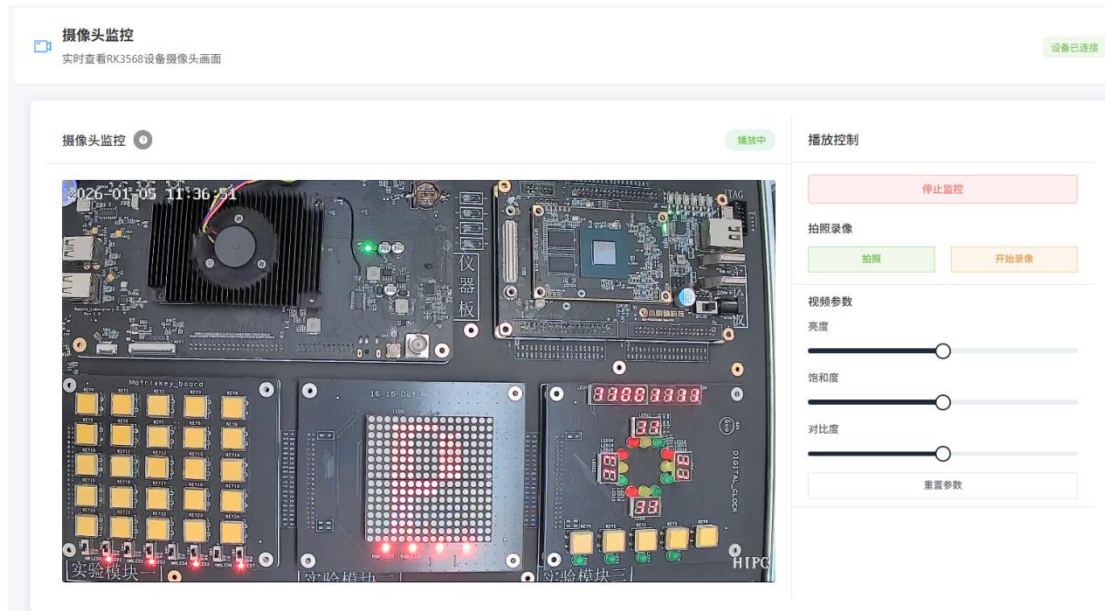


在使用时，选择要观察的波形以及设置频率和幅度，点击启动即可，具体性能指标以及使用方法可点击帮助按钮显示。



6. 摄像头监控

摄像头监控功能允许实时查看 FPGA 开发板的物理状态，这对于观察 LED 指示灯、数码管显示、按键状态等非常有用。点击左侧导航栏的"摄像头监控"菜单，进入监控页面。页面会显示设备上摄像头拍摄的实时画面，帧率通常在 15-30fps 之间，能够流畅地观察设备状态变化。



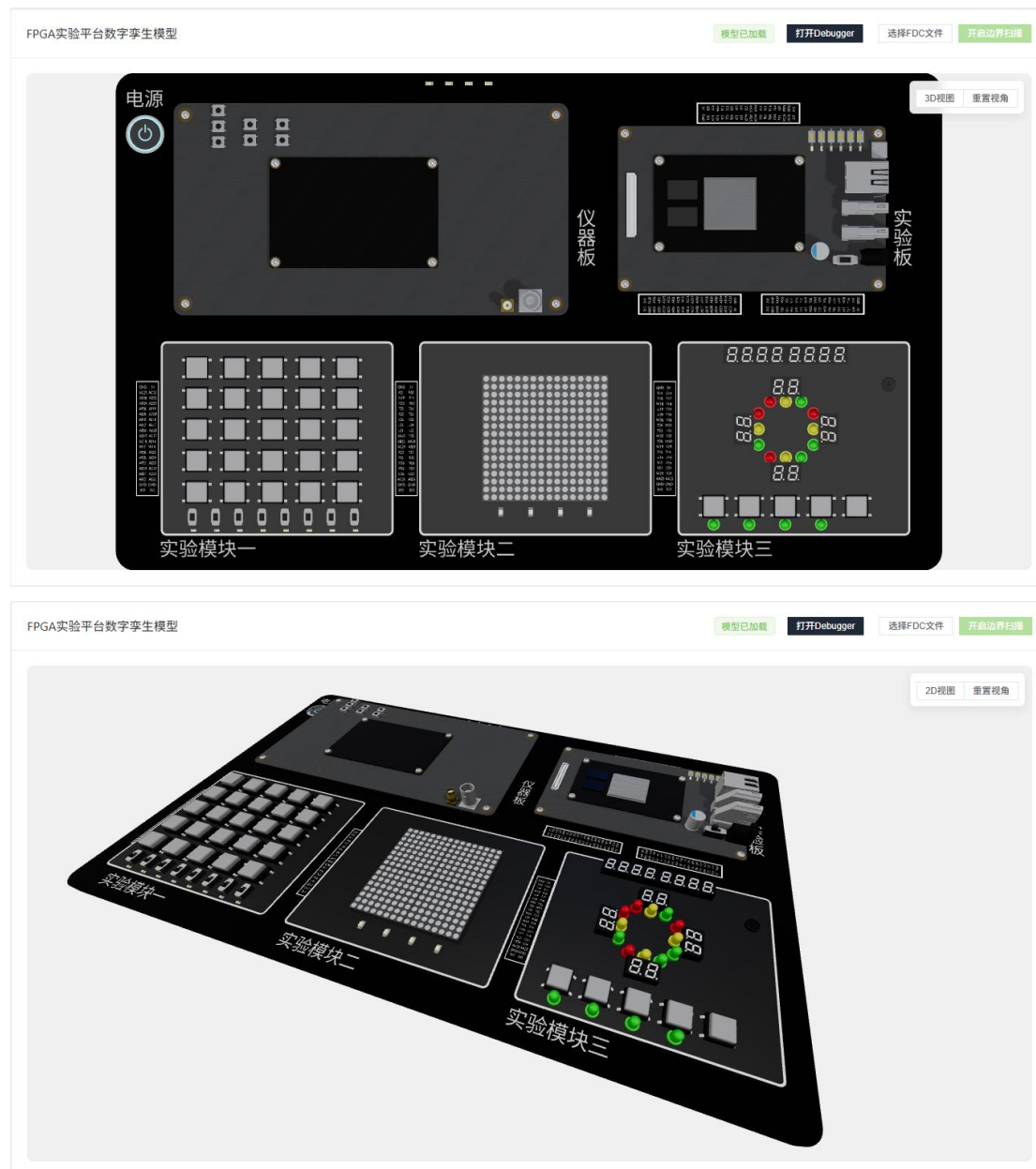
该功能集成了简单的视频基础控制功能，包括亮度、饱和度、对比度设置。

如果需要保存某个时刻的画面，可以点击"拍照"按钮，系统会将当前画面保存为 PNG 格式的图片文件，自动下载到您的计算机。还可以点击"录像"按钮开始录制视频，点击停止即可停止录制并下载视频文件。

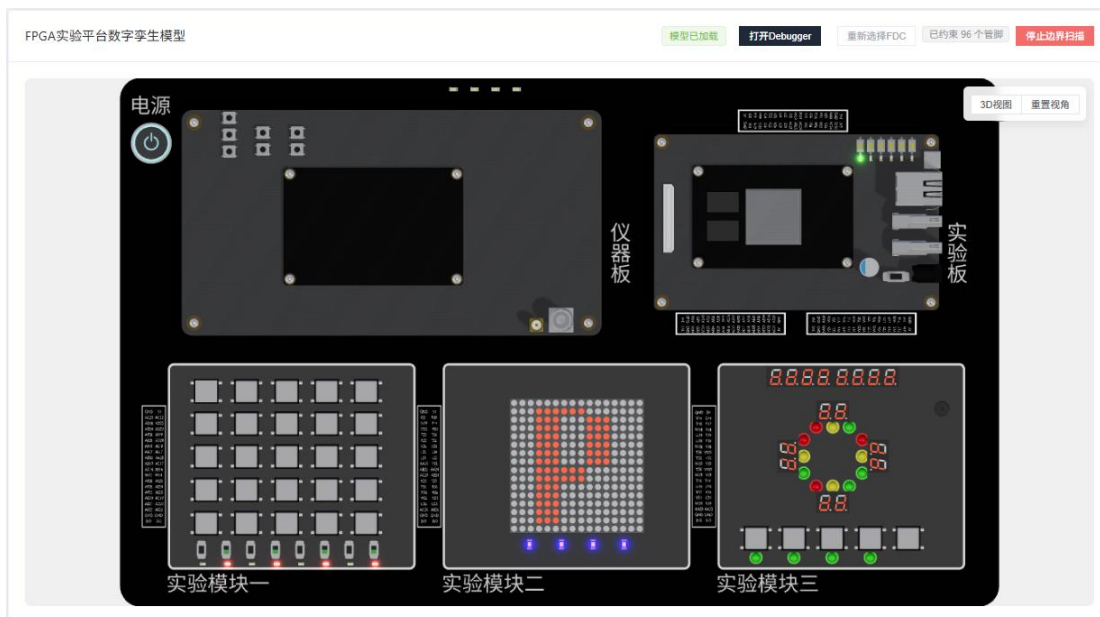
使用注意事项： 当使用摄像头功能的时候切换到其他页面，由于浏览器的限制，会自动暂停摄像头，有两种解决办法，一是拖动视频进度条到最新时刻，二是提前开启画中画模式，在全页面都可以展示且不会自动暂停。

7.数字孪生

这里的模型可以选择 2D 或者 3D 模式。对于子卡，手动插上子卡之后，在进入数字孪生面板时会自动识别子卡，并显示相关模型。

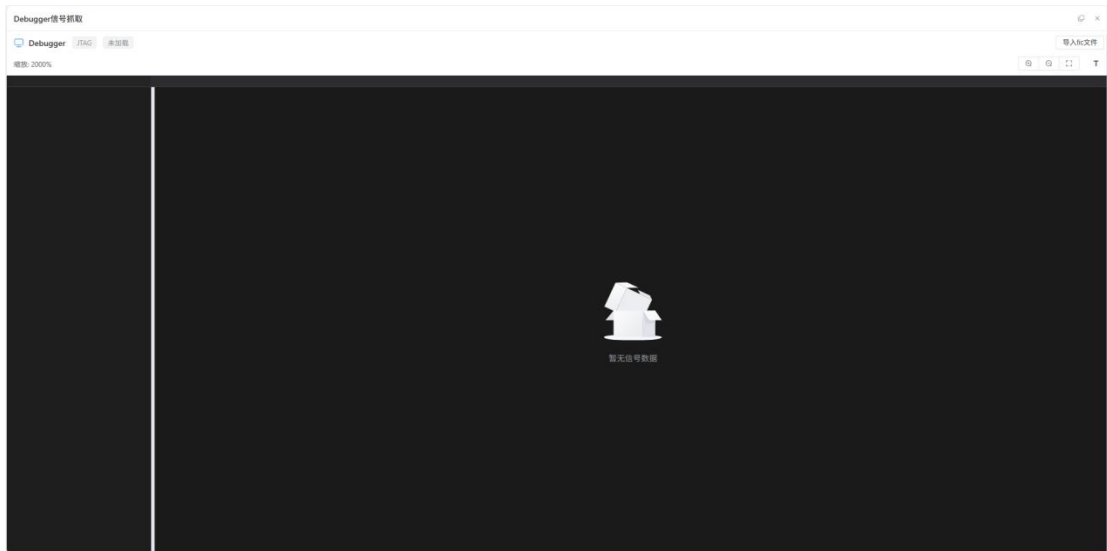


对于按键、拨码开关等输入设备，您可以使用"数字孪生"面板进行操作。首先需要导入 fdc 文件，然后点击“开启边界扫描”按钮，在网页上点击虚拟按键，远程板子上的真实按键也会被触发。网页上的虚拟 LED 会同步显示真实板子的状态。



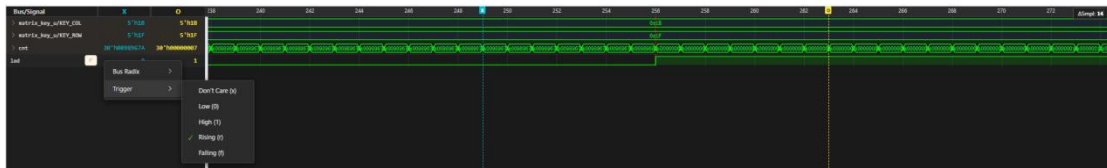
8. Debugger

Debugger 是 FPGA 内部集成的调试工具，可以在不占用外部引脚的情况下监测 FPGA 内部信号。这是一个非常强大的调试功能，特别适合调试那些无法引出到外部引脚的内部信号。点击左侧导航栏的"数字孪生"菜单，在页面中找到"打开 Debugger"选项卡。

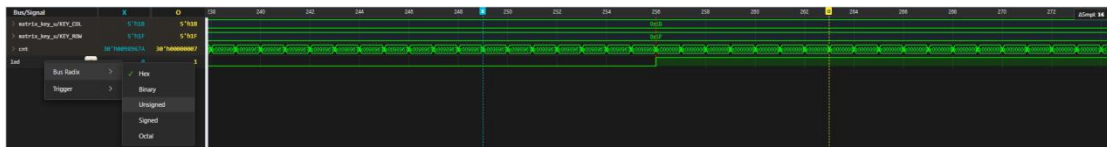


使用 ILA 之前，需要使用 PDS 导出自己要抓取信号的.fic 文件，设置好采样点数以及触发深度。回到本系统，点击"导入 FIC 文件"按钮，选择刚才导出的.fic 文件。系统会自动解析文件内容，提取通道数量、采样深度等配置信息，并在页面上显示出来。

配置触发条件时，每个通道可以右键设置为"X"（不触发）、"0"（低电平）、"1"（高电平）、"↑"（上升沿）、"↓"（下降沿）触发。

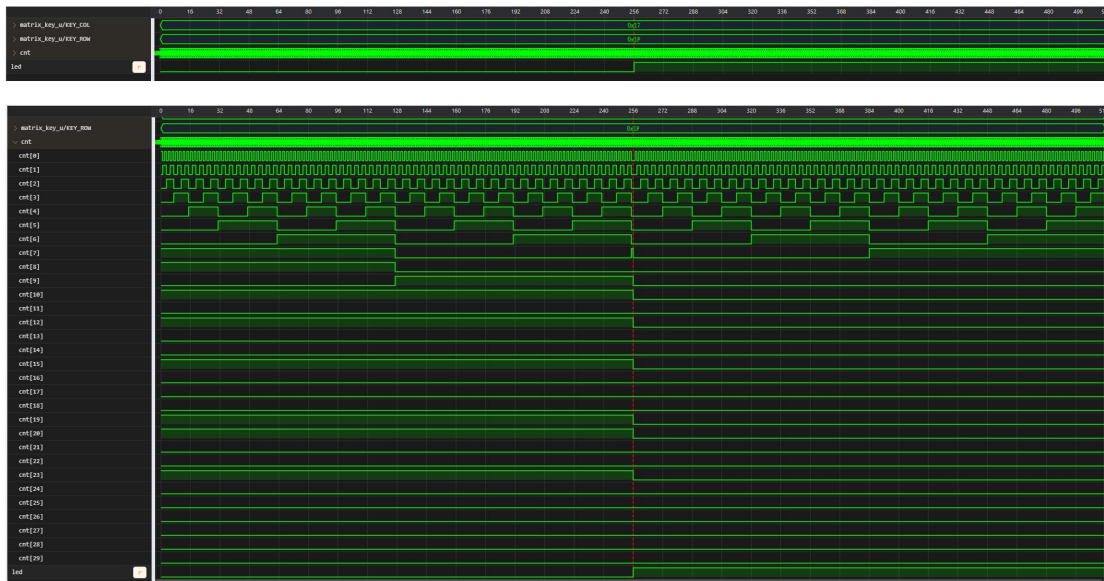


每个通道和总线可以右键设置显示进制，包括十六进制，二进制，无符号十进制，带符号十进制和八进制。

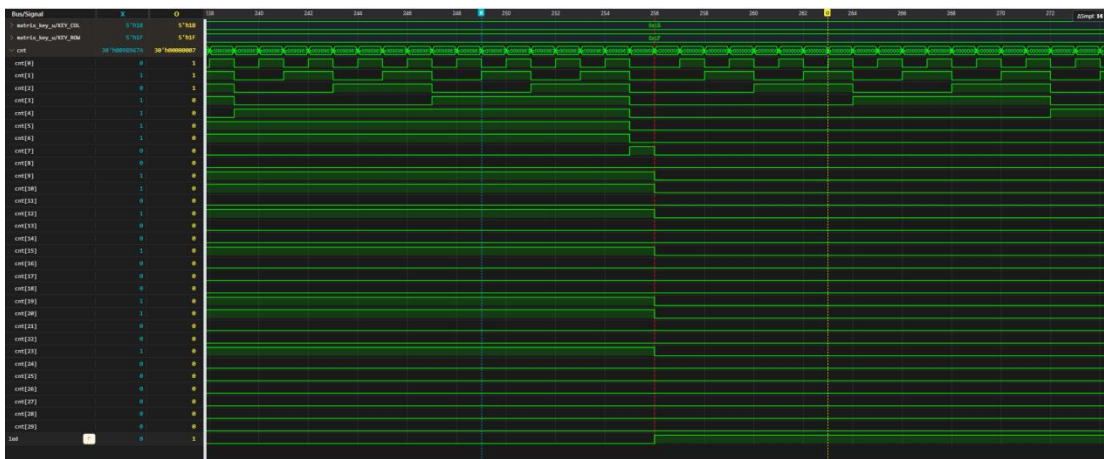


配置完成后，点击"启动 ILA"按钮，系统会将配置下载到 FPGA 并开始等待触发。此时 FPGA 内部的 ILA 核已经开始监测信号，等待触发条件满足。当触发条件满足时，ILA 会自动捕获数据并通过 PCIe DMA 传输到主机。数据传输完成后，页面会自动显示捕获的波形，您可以使用缩放进行分析。

这里使用一个简单的测试例子测试触发和采样，包括 LED 和一个计数器，这里将 LED 通道设置为上升沿触发，中间红线是当前的触发位置。



右上角“T”图表是光标按钮，点击后可打开光标，拖动查看具体点数。



使用注意事项： ILA 会占用 FPGA 内部的存储资源（BRAM），采样深度越大，占用的资源越多。在资源紧张的设计中，应适当减小采样深度。ILA 的采样时钟应选择与被测信号相关的时钟，以确保能够准确捕获信号变化。如果触发条件设置不当，可能会导致长时间无法触发，建议先使用简单的触发条件进行测试，如果设置多个触发条件，使用方法与上述逻辑分析仪触发使用一样。